

明 細 書

半導体集積回路

技術分野

[0001] 本発明は、半導体集積回路、特に、多ポートを持つレジスタファイルの構成に関する。

背景技術

[0002] 従来、半導体集積回路において、多ポートレジスタファイルを持つ場合には、この多ポートレジスタファイルに複数の機能ブロックを接続し、これら複数の機能ブロックによるデータの並列処置を行い得るようにしている。

[0003] 例えば、特許文献1では、レジスタファイルを、書き込みポート数が2で読み出しポート数も2である多ポート型(2Write2Read (2W2R)型)とし、1W1R型の機能ブロックと他の1W1R型の機能ブロックとを前記2W2Rポート型のレジスタファイルに接続している。すなわち、この2W2Rポート型のレジスタファイルは、1つのメモリセルに対して、2個の読み出しポートと2個の書き込みポートとを用意し、1個の読み出しポート及び1個の書き込みポートを第1の機能ブロックに接続すると共に、他の1個の読み出しポート及び他の1個の書き込みポートを第2の機能ブロックに接続する構成としている。

[0004] また、前記メモリセルを含むトランジスタ回路では、従来、その構成トランジスタの閾値電圧、その構成トランジスタへの供給電圧、その構成トランジスタの活性化率、及びその消費電力との間には、与えられた所定活性化率の下では消費電力を最少にする閾値電圧及び供給電圧が存在することが、例えば非特許文献1に記載されている。

特許文献1:特開平11-175394号公報(図13)

非特許文献1:K.Nose et al., .Optimization of VDD and VTH for low-power and high-speed applications,. ASPDAC.00, pp. 469-474, Jan. 2000.

発明の開示

発明が解決しようとする課題

- [0005] しかしながら、前記従来の多ポート型レジスタファイルを有する半導体集積回路では、次の欠点がある。
- [0006] すなわち、従来の多ポート型レジスタファイルでは、既述の通り、接続される複数の機能ブロックの書き込みポート及び読み出しポートの合計数のポートが、1個のメモリセル毎に用意される。このため、多ポート型レジスタファイルは面積が増大する欠点がある。
- [0007] 更に、前記従来の多ポート型レジスタファイルでは、例えば、接続される1つの機能ブロックの活性化率(アクセス頻度)が高く、他の機能ブロックの活性化率が低い場合に、一方の活性化率の下で消費電力を最少に最適化するための供給電圧やトランジスタの閾値電圧が存在するものの、他方の活性化率でメモリセルを使用する際には、その供給電圧や閾値電圧は最適値とならないため、消費電力は最少化されず、無駄な消費電力が存在する課題があった。
- [0008] そこで、例えば、従来のようにメモリセルを複数の機能ブロック間で共用する構成を採用せず、各機能ブロックでは専用のメモリセルを使用する構成を採用することが考えられる。この考えの下では、専用のメモリセル別に、その専用の機能ブロックの活性化率に対応した供給電圧や閾値電圧を設定することができて、消費電力を有効に削減できる。しかも、専用のメモリセルには、その専用の機能ブロックが有する読み出しポート及び書き込みポートの合計ポート数だけを設ければ良く、他の機能ブロックが有するポートの数だけ必要ポート数を削減でき、省面積化が可能である。
- [0009] しかし、前記考えでは、ある機能ブロックが必要とするデータが、その専用のメモリセルではなく、他の機能ブロックの専用メモリセルに格納されている場合には、そのデータを自己の専用メモリセルに入れ替える作業を行い、その後、そのデータの読み出しを自己の専用メモリセルから行う必要が生じる。この場合に、例えば、自己の専用メモリセルに既に格納されているデータを一旦、外部レジスタに退避し、その後、他の機能ブロックの専用メモリセルからデータを自己の専用メモリセルに転送する構成を採用することが考えられるが、この考えでは、外部に設ける退避レジスタや、これに接続するデータバス等を必要とし、データのアクセスに時間を要すると共に、面積の増大を招くという課題が生じる。更に、微細化プロセスは、数十ナノオーダーのゲ

ート長となり、リソグラフィの限界や、量子効果によるリーク電流の増大などの課題がある。

- [0010] 本発明は、前記の課題に着目し、その目的は、1つのメモリセルに対する必要ポート数を削減しながら、且つデータのアクセスを短時間で行い得る多ポート型レジスタファイルを有する半導体集積回路を提供することにある。

課題を解決するための手段

- [0011] 前記の目的を達成するために、本発明では、各機能ブロックでは専用のメモリセルを使用する構成を基本的に採用しつつ、一方の機能ブロックで他方の機能ブロック専用のメモリセルのデータが必要となった際には、メモリセル間のデータの入れ替えをメモリセルアレイ内で行う構成を採用する。
- [0012] 具体的に、本発明の半導体集積回路は、メモリセルアレイに形成され、情報を保持する第1及び第2の情報保持回路と、前記第1の情報保持回路のみに接続された情報入力又は出力用の第1のポート部と、前記第2の情報保持回路のみに接続された情報入力又は出力用の第2のポート部と、入れ替え制御信号を受けて、前記第1の情報保持回路に保持された情報と前記第2の情報保持回路に保持された情報とを前記メモリセルアレイ内で相互に入れ替える入れ替え回路とを備えたことを特徴とする。
- [0013] 本発明は、前記半導体集積回路において、前記第1及び第2のポート部は、各々、トランジスタ回路で構成され、前記第1及び第2のポート部のトランジスタ回路は、相互に、閾値電圧の異なるトランジスタで構成されることを特徴とする。
- [0014] 本発明は、前記半導体集積回路において、前記第1及び第2のポート部は、相互に、アクセス頻度が異なり、閾値電圧の高いトランジスタで構成された側のポート部のアクセス頻度は、閾値電圧の低いトランジスタで構成された側のポート部のアクセス頻度よりも、低いことを特徴とする。
- [0015] 本発明は、前記半導体集積回路において、前記第1及び第2のポート部は、相互に、供給を受ける電源電圧が異なることを特徴とする。
- [0016] 本発明は、前記半導体集積回路において、電源電圧の低い側のポート部のアクセス頻度は、電源電圧の高い側のポート部のアクセス頻度よりも、低いことを特徴とする。

- 。
- [0017] 本発明は、前記半導体集積回路において、前記第1及び第2の情報保持回路は、各々、トランジスタ回路で構成され、前記第1及び第2の情報保持回路のトランジスタ回路は、相互に、閾値電圧の異なるトランジスタで構成されることを特徴とする。
- [0018] 本発明は、前記半導体集積回路において、前記閾値電圧の高いトランジスタで構成された側の情報保持回路のアクセス頻度は、閾値電圧の低いトランジスタで構成された側の情報保持回路のアクセス頻度よりも、低いことを特徴とする。
- [0019] 本発明は、前記半導体集積回路において、前記第1及び第2の情報保持回路は、相互に、供給を受ける電源電圧が異なることを特徴とする。
- [0020] 本発明は、前記半導体集積回路において、電源電圧の低い側の情報保持回路のアクセス頻度は、電源電圧の高い側の情報保持回路のアクセス頻度よりも、低いことを特徴とする。
- [0021] 本発明は、前記半導体集積回路において、前記入れ替え回路は、情報を一時的に保持する一時的保持回路を有し、前記第1及び第2の情報保持手段に保持された情報は、前記入れ替え制御信号に基づいて、前記一時的保持回路を介して相互に入れ替わることを特徴とする。
- [0022] 本発明は、前記半導体集積回路において、前記第1及び第2の情報保持回路に保持された情報が相互に入れ替わった入れ替え終了を検出し、この終了の検出時に前記入れ替え制御信号の出力が停止されることを特徴とする。
- [0023] 本発明は、前記半導体集積回路において、前記第1及び第2の情報保持回路に保持させるべき情報が、これらの第1及び第2の情報保持回路に保持されたことを検出し、この検出後に、前記第1及び第2の情報保持回路に保持された情報の相互入れ替えが行われることを特徴とする。
- [0024] 本発明は、前記半導体集積回路において、前記第1及び第2のポート部は、各々、トランジスタ回路で構成され、前記第1及び第2のポート部のトランジスタ回路は、各々、自己のポート部のアクセス速度に応じたトランジスタ幅のトランジスタで構成され、アクセス速度の遅いポート部のトランジスタ回路のトランジスタ幅は、アクセス速度の速いポート部のトランジスタ回路のトランジスタ幅よりも、狭いことを特徴とする。

- [0025] 本発明は、前記半導体集積回路において、前記第1及び第2の情報保持回路は、各々、トランジスタ回路で構成され、前記第1及び第2の情報保持回路のトランジスタ回路は、各々、自己の情報保持回路に接続されたポート部のアクセス速度に応じたトランジスタ幅のトランジスタで構成され、アクセス速度の遅い側の情報保持回路のトランジスタ回路のトランジスタ幅は、アクセス速度の速い側の情報保持回路のトランジスタ回路のトランジスタ幅よりも、狭いことを特徴とする。
- [0026] 本発明は、前記半導体集積回路において、前記一時的保持回路は、ラッチ回路で構成されることを特徴とする。
- [0027] 本発明は、前記半導体集積回路において、前記ラッチ回路は、差動回路であることを特徴とする。
- [0028] 本発明は、前記半導体集積回路において、前記入れ替え回路は、電源電圧の低い側の情報保持回路に保持された情報を一時的に保持し、この保持した情報を電源電圧の高い側の情報保持回路に出力するラッチ回路を備えたことを特徴とする。
- [0029] 本発明は、前記半導体集積回路において、前記第1及び第2のポート部並びに前記第1及び第2の情報保持回路は、各々、トランジスタ回路で構成され、前記第1のポート部及び前記第1の情報保持回路からなる組と、前記第2のポート部及び前記第2の情報保持回路からなる組とは、各々、基板電圧制御回路を有し、前記基板電圧制御回路は、各々、自己の組のポート部及び情報保持回路の各トランジスタ回路を構成するトランジスタの閾値電圧を、自己の組のポート部のアクセス頻度に応じた閾値電圧に制御することを特徴とする。
- [0030] 本発明は、前記半導体集積回路において、前記第1のポート部及び前記第1の情報保持回路からなる組と、前記第2のポート部及び前記第2の情報保持回路からなる組とは、各々、電源電圧制御回路を有し、前記電源電圧制御回路は、各々、自己のポート部における情報の読み出し時間及び書き込み時間に応じて、自己のポート部及び情報保持回路に供給する電源電圧を制御することを特徴とする。
- [0031] 本発明は、前記半導体集積回路において、前記第1及び第2のポート部並びに前記第1及び第2の情報保持回路は、各々、トランジスタ回路で構成され、前記第1のポート部及び前記第1の情報保持回路からなる組と、前記第2のポート部及び前記第

2の情報保持回路からなる組とは、各々、基板電圧制御回路及び電源電圧制御回路を有し、前記基板電圧制御回路は、各々、自己の組のポート部及び情報保持回路の各トランジスタ回路を構成するトランジスタの閾値電圧を、所定の閾値電圧に制御し、前記電源電圧制御回路は、各々、自己のポート部における情報の読み出し時間及び書き込み時間が各々設定時間になるように、自己のポート部及び情報保持回路に供給する電源電圧を制御することを特徴とする。

- [0032] 本発明は、前記半導体集積回路において、前記第1及び第2のポート部並びに前記第1及び第2の情報保持回路は、複数のトランジスタを並列配置したトランジスタ並列部に形成され、動作速度の遅い側のポート部及び情報保持回路は、前記トランジスタ並列部の端部に位置し、動作速度の速い側のポート部及び情報保持回路は、前記トランジスタ並列部の内側に位置することを特徴とする。
- [0033] 本発明は、前記半導体集積回路において、前記第1及び第2の情報保持回路が形成されたセルアレイの中に形成された第1及び第2のダミー情報保持回路を備え、前記入れ替え制御信号は、前記第1及び第2のダミー情報保持回路に保持された情報が実際に相互に入れ替わった切り替え時間が反映され、この切り替え時間の経過後に出力が停止されることを特徴とする。
- [0034] 本発明は、前記半導体集積回路において、前記第1のポート部は、その形成された基板が前記第2のポート部とは基板分離されていることを特徴とする。
- [0035] 本発明は、前記半導体集積回路において、前記第1の情報保持回路は、その形成された基板が前記第2の情報保持回路とは基板分離されていることを特徴とする。
- [0036] 本発明は、前記半導体集積回路において、前記一時的保持回路は、トランジスタ回路により構成され、且つ、構成されるトランジスタは、前記切り替え制御信号のアクセス頻度に応じた閾値設定がされていることを特徴とする。
- [0037] 本発明は、前記半導体集積回路において、前記一時的保持回路は、供給される電源電圧が、前記切り替え制御信号のアクセス頻度に応じた電圧に設定されていることを特徴とする。
- [0038] 本発明は、前記半導体集積回路において、前記第1及び第2のポート部のアクセス速度は所定速度であって、電源電圧の低い側のポート部のアクセス頻度は、電源電

圧の高い側のポート部のアクセス頻度よりも、高いことを特徴とする。

[0039] 本発明は、前記半導体集積回路において、電源電圧の低い側の情報保持回路のアクセス頻度は、電源電圧の高い側の情報保持回路のアクセス頻度よりも、高いことを特徴とする。

[0040] 本発明は、前記半導体集積回路において、前記入れ替え回路の電源電圧は、電源電圧の低い側の情報入力用のポート部の電源電圧より高く、前記入れ替え回路は、電源電圧の高い側の情報入力用のポート部に接続された情報保持回路に保持された情報を一時的に保持し、この保持した情報を電源電圧の低い側の情報入力用のポート部に接続された情報保持回路に出力するラッチ回路を備えたことを特徴とする。

[0041] 本発明は、前記半導体集積回路において、前記一時的保持回路は、第1の反転回路及び第2の反転回路から構成され、前記第1の反転回路の出力は前記第2の反転回路の入力に接続され、前記第2の反転回路は、直列に接続された第1及び第2のNMOSTランジスタを有し、前記第1の反転回路の入力は、情報入力用の第1又は第2のポート部の出力と、前記第2の反転回路の第1のNMOSTランジスタのドレインとに接続され、前記第2の反転回路の前記第1のNMOSTランジスタは、そのゲートが前記第1の反転回路の出力に接続され、そのソースが前記第2のNMOSTランジスタのドレインに接続され、前記第2の反転回路の前記第2のNMOSTランジスタのゲートには、前記情報入力用の第1又は第2のポート部の出力が入力されることを特徴とする。

[0042] 本発明は、前記半導体集積回路において、情報入力用の第1又は第2のポート部の数は1つであって、前記第2の反転回路の前記第2のNMOSTランジスタのソースは、前記情報入力用の第1又は第2のポート部の信号の反転信号が入力されることを特徴とする。

[0043] 本発明は、前記半導体集積回路において、情報入力用の第1又は第2のポート部の数は複数であって、前記第2の反転回路の前記第2のNMOSTランジスタの個数は、前記第1又は第2のポート部の数に等しい個数であり、前記複数の第2のNMOSTランジスタは、直列接続され、そのうち前記第2の反転回路の第1のNMOSTランジ

スタから最も離れた位置にある第2のNMOSTランジスタのソースは、接地され、前記複数の第2のNMOSTランジスタの各ゲートには、対応する前記第1又は第2のポート部の信号が入力されることを特徴とする。

[0044] 本発明は、前記半導体集積回路において、複数の情報入力用の第1又は第2のポート部のうち、活性化率の高いポート部の信号は、前記第2の反転回路の第1のNMOSTランジスタから最も離れた位置にある第2のNMOSTランジスタのゲートに入力されることを特徴とする。

[0045] 本発明は、前記半導体集積回路において、前記第1の情報保持回路に対するデータの読み出し及びその後のデータの書き込み並びに第1及び第2の情報保持回路間のデータ入れ替えを行う第1のダミー回路と、前記第2の情報保持回路に対するデータの読み出し及びその後のデータの書き込み並びに第1及び第2の情報保持回路間のデータ入れ替えを行う第2のダミー回路とを備え、前記第1のダミー回路を構成する複数のMOSTランジスタは、全て、拡散層濃度、基板電圧又はゲート酸化膜圧のMOS特性が同じであり、前記第2のダミー回路を構成する複数のMOSTランジスタは、その一部が、前記MOS特性と同一のMOS特性を有し、その残りが前記第1のダミー回路を構成するMOSTランジスタのMOS特性とは異なるMOS特性を有し、前記第1及び第2のダミー回路に各々供給する電源電圧を調整する電源電圧調整回路を有し、前記電源電圧調整回路は、前記第1のダミー回路の出力信号の遅延値が予め設定した第1の参照遅延値になるように、前記第1のダミー回路への電源電圧値を調整すると共に、この調整した電源電圧値を前記第2のダミー回路のうち前記第1のダミー回路のMOSTランジスタと同一のMOS特性のMOSTランジスタに供給し、前記第2のダミー回路の出力信号の遅延値が予め設定した第2の参照遅延値になるように、前記第2のダミー回路のうち前記第1のダミー回路のMOSTランジスタと異なるMOS特性のMOSTランジスタへの電源電圧値を調整することを特徴とする。

[0046] 本発明は、前記半導体集積回路において、前記第1及び第2のポート部並びに前記第1及び第2の情報保持回路は、各々、トランジスタ回路で構成され、前記第1のポート部及び前記第1の情報保持回路からなる組と、前記第2のポート部及び前記第

2の情報保持回路並びに前記入れ替え回路からなる組とは、各々、異なる値の電源電圧を供給する電源電圧供給回路を有し、前記各組の電源電圧供給回路の電源電圧値は、各々、自己のポート部における情報の読み出し時間と書き込み時間と入れ替え時間との総和が所定の時間になるような電源電圧値に設定されることを特徴とする。

[0047] 本発明は、前記半導体集積回路において、半導体集積回路は、マルチスレッド型のプロセッサであることを特徴とする。

[0048] 以上により、本発明の半導体集積回路では、第1の情報保持回路は第1のポート部に基本的に専用であり、第2の情報保持回路は第2のポート部に基本的に専用であるので、これら情報保持回路には、自己の専用ポート部以外のポート部の分、ポート数が削減される。しかも、例えば、第1の情報保持回路の情報を第2のポート部から読み出す必要が生じた際には、第1の情報保持回路の情報がメモリセルアレイ内で入れ替え回路により第2の情報保持回路に入れ替えられるので、外部に退避レジスタ等を設けて情報の入れ替え作業を行う場合に比して、情報のアクセス速度が速くなり、短時間でのアクセスが可能である。

[0049] しかも、第1の情報保持回路の情報は常に専用の第1のポート部から読み込み／書き込みされるので、第1の情報保持回路や第1のポート部について、その供給する電源電圧や、その構成トランジスタの閾値電圧を、その専用の第1のポート部のアクセス頻度(活性化率)に応じた値に設定することができ、第1の情報保持回路及び第1のポート部の消費電力を最少に最適化することができる。このことは、第2の情報保持回路及び第2のポート部についても、同様である。

[0050] 更に、本発明では、2つの情報保持回路間での情報の入れ替えは、ラッチ回路を介して行われる。この際、低電源電圧で動作する側の情報保持回路の情報が前記ラッチ回路にラッチされ、その後に、高電源電圧で動作する側の情報保持回路に出力されるので、低電源電圧側の情報保持回路の情報を高電源電圧側の情報保持回路に良好に入れ替えすることができる。従って、低電源電圧側の情報保持回路では、その電源電圧が低電圧であっても問題ない。

[0051] 加えて、本発明では、トランジスタ並列部のうち、STI(Shallow Trench Isolation 素

子分離領域)の影響が強く出てトランジスタの性能劣化が懸念される端部では、動作速度の遅い側のポート部及び情報保持回路が配置され、トランジスタ並列部の内側でSTIの影響が弱い領域では、動作速度の速い側のポート部及び情報保持回路が配置されているので、その動作速度の速い側のポート部及び情報保持回路の動作の高速性及び安定性が良好に確保される。

- [0052] 更に加えて、本発明では、2つの情報保持回路間での情報の入れ替えに際しては、メモリセルアレイに形成された2個のダミー情報保持回路間の情報の実際の入れ替え時間が反映されるので、製造プロセスのばらつき、温度、電圧などの外部環境による影響をさほど受けずに、情報保持回路間での情報の入れ替えを確実に行うことができ、動作の安定化が実現できる。
- [0053] 更に、本発明では、一時的保持回路にHIのデータを書き込む場合に、第2の反転回路の第1のNMOSTランジスタのゲート長を飽和電流を削減するように長く設定する必要がなく、短く設定できるので、面積の削減が可能であると共に、第1のNMOSTランジスタを短いゲート長のトランジスタを複数個直列接続して構成する必要がないので、進んだ微細化製造プロセスでも面積のオーバーヘッドが生じない。加えて、第1及び第2のNMOSTランジスタが直列接続されるので、DIBL効果によって、サブスレッシュホールドリークの削減が可能である。
- [0054] また、本発明では、第2の反転回路での2個のNMOSTランジスタと、情報入力用のポート部の信号の反転回路のNMOSTランジスタが直列に接続された3段の直列構造となるので、第2の反転回路のリーク電流が更に1/10に低減される。
- [0055] 更に、本発明では、情報入力用のポート部の数が複数であって、第2の反転回路に備えられるNMOSTランジスタの個数が更に増え、それ等が直列に接続された構成であるので、リーク電流はより一層に削減される。
- [0056] 加えて、本発明では、第2の反転回路内において、ゲートの電位がLになる確立の高いNMOSTランジスタのソース・ドレイン電圧を低く設定できるので、ゲートリーク電流の削減が可能となる。
- [0057] また、本発明では、所定のMOS特性の複数のMOSTランジスタで構成されたダミー回路と、それ等MOSTランジスタ及び他のMOS特性の複数のMOSTランジスタ

で構成された他のダミー回路とに対して、各々、適切な電源電圧を供給できるので、低消費電力化が可能となる。

発明の効果

- [0058] 以上説明したように、本発明の半導体集積回路によれば、各ポート部を自己に専用の情報保持回路のみに接続したので、各情報保持回路のポート数を顕著に削減できると共に、各ポート部から自己に専用の情報保持回路以外の他の情報保持回路の情報を読み出す必要時には、メモリセルアレイ内に設けた入れ替え回路によって、前記他の情報保持回路の情報を自己に専用の情報保持回路に入れ替えたので、情報のアクセス速度を速く保持でき、短時間でのアクセスが可能である。更に、ポート部及びこれに専用の情報保持回路から成る組別に、自己の組のポート部のアクセス頻度(活性化率)に応じた電源電圧、構成トランジスタの閾値電圧を設定できて、各組の消費電力を低減できる効果を奏する。
- [0059] 更に、本発明によれば、低電源電圧側の情報保持回路の情報を良好に高電源電圧側の情報保持回路に入れ替えしながら、低電源電圧側の情報保持回路におけるその電源電圧の低電圧化が可能である。
- [0060] 加えて、本発明によれば、動作速度の速い側のポート部及び情報保持回路をトランジスタ並列部のうちSTIの影響を受け難い内側に配置したので、その高速動作性及び安定性を良好に維持できる。
- [0061] 更に加えて、本発明によれば、2つの情報保持回路間での情報の入れ替えに際して、ダミー情報保持回路間の情報の実際の入れ替え時間を反映させたので、製造プロセスのばらつき、温度、電圧などの外部環境による影響をさほど受けずに、情報保持回路間での情報の入れ替えを確実に行うことができ、動作の安定化を実現できる。
- [0062] 加えて、本発明によれば、一時的保持回路の面積の削減が可能であると共に、進んだ微細化製造プロセスでも面積のオーバーヘッドが生じることを抑制でき、更には、DIBL効果によって、サブスレッシユホールドリークの削減が可能である。
- [0063] また、本発明によれば、第2の反転回路のリーク電流を更に削減できる。
- [0064] 更に、本発明によれば、所定のMOS特性の複数のMOSTランジスタを持つ複数のダミー回路に対して、適切な電源電圧を供給できるので、低消費電力化が可能で

ある。

図面の簡単な説明

[0065] [図1]図1は本発明の実施形態に係る半導体集積回路の構成を示す図である。

[図2]図2は同半導体集積回路が有するレジスタファイルの内部構成の要部を示す図である。

[図3]図3は同レジスタファイルでのデータの入れ替え動作のタイミングチャートを示す図である。

[図4]図4は、同半導体集積回路の書き込みポート部、読み出しポート部、保持回路及びラッチ回路の活性化率、構成トランジスタの閾値電圧及び電源電圧の関係を示す図である。

[図5]図5は同半導体集積回路に備える基板電圧制御回路の内部構成を示す図である。

[図6]図6は同半導体集積回路に備えるDLL回路の内部構成を示す図である。

[図7]図7は同DLL回路から出力される各種信号のタイミングチャートを示す図である。

[図8]図8は同半導体集積回路に備える遅延電圧変換回路の内部構成を示す図である。

[図9]図9は同半導体集積回路を構成するトランジスタ列における動作速度の速い回路部と動作速度の遅い回路部の配置位置の概略を説明する図である。

[図10]図10は同半導体集積回路に備える制御回路の内部構成、及び2つのダミー回路を使用した実際のデータ入れ替えを反映した各種制御信号の生成の詳細を示す回路図である。

[図11]図11は同半導体集積回路に備える制御回路及び2つのダミー回路を使用したデータ入れ替え信号生成回路の詳細を示す回路図である。

[図12]図12は同データ入れ替え信号生成回路によるデータの入れ替え動作のタイミングチャートを示す図である。

[図13]図13は、アクセス速度を一定とする場合において、同半導体集積回路の書き込みポート部、読み出しポート部、保持回路及びラッチ回路の活性化率、構成トラン

ジスタの閾値電圧及び電源電圧の関係を示す図である。

[図14]図14は、図13に示す関係を満たすレジスタファイルの内部構成の要部を示す図である。

[図15]図15は、図13に示す関係を満たす同レジスタファイルの全体概略構成を示す図である。

[図16]図16は遅延電圧変換回路の内部構成を示す回路図である。

[図17]図17は同遅延電圧変換回路の動作タイミングチャートを示す図である。

[図18]図18はレジスタファイル内の1R／1Wのメモリセルの回路構成を示す図である。
。

[図19]図19はレジスタファイル内の1R／3Wのメモリセルの回路構成を示す図である。
。

[図20]図20(a)は同半導体集積回路の具体的な応用例であるプロセッサの内部構成を示す図、同図(b)は同プロセッサでのスレッドの切り替えタイミングを示す図である。

[図21]図21は同半導体集積回路の具体的な応用例である他のプロセッサの内部構成を示す図である。

符号の説明

[0066]	1	レジスタファイル
	2A	第1の機能ブロック
	2B	第2の機能ブロック
	5	メモリセルアレイ
	5a	正規メモリセル群
	5b～5f	ダミーメモリセル群
	6	読み出し／書き込み回路
	7	デコード回路
	8	制御回路
	9	遅延電圧変換回路
	10	DLL回路

12a～12c	電源電圧制御回路
13a～13c	基板電圧制御回路
20A	第1の保持回路(第1の情報保持回路)
20AD1、20AD2	第1のダミー保持回路 (第1のダミー情報保持回路)
30BD1、30BD2	第2のダミー保持回路 (第2のダミー情報保持回路)
21AW	第1の書き込みポート部
21AR1、21AR2	第1の読み出しポート部
30B	第2の保持回路(第2の情報保持回路)
31AW	第2の書き込みポート部
31AR	第2の読み出しポート部
40	ラッチ回路(一時的保持回路)
41、42	転送回路
43	入れ替え回路
61	トランジスタ列
70	検出回路
71	制御信号生成回路
16B	MCAダミー回路(第2のダミー回路)
16C	MCBダミー回路(第1のダミー回路)
B1L、C1M	電源制御回路 (電源電圧調整回路及び電源電圧供給回路)

発明を実施するための最良の形態

[0067] 以下、本発明の実施形態の半導体集積回路を図面に基づいて説明する。

[0068] (第1の実施形態)

図1は、本発明の第1の実施形態の半導体集積回路の全体構成を示す。

[0069] 同図において、1はレジスタファイル、2A及び2Bは各々機能ブロックである。前記レジスタファイル1は、書き込みポート数が2で読み出しポート数が3の2W3Rポート

型である。一方の機能ブロック2Aは書き込みポート数が1で読み出しポート数が2の1W2Rポート型であり、他方の機能ブロック2Bは書き込みポート数及び読み出しポート数が共に1の1W1Rポート型である。従って、レジスタファイル1と一方の機能ブロック2Aとは、1本の書き込みデータ線A-W1及び2本の読み出しデータ線A-R1、A-R2と接続され、レジスタファイル1と他方の機能ブロック2Bとは、各々1本の書き込みデータ線B-W1及び読み出しデータ線B-R1と接続される。

[0070] 前記レジスタファイル1には、メモリセルアレイ5、書き込み／読み出し回路6、デコード回路7、制御回路8、遅延電圧変換回路9及びDLL回路10が備えられる。前記メモリセルアレイ5は、更に、正規メモリセル群5aと、5個のダミーメモリセル群5b～5fとを備える。これ等のダミーメモリセル群5b～5fは、正規メモリセル群5aのビット線形状、ワード線形状及びメモリセル形状が同一に反映されている。前記書き込み／読み出し回路6は、前記2つの機能ブロック2A、2Bと2本の書き込みデータ線A-W1、B-W1及び3本の読み出しデータ線A-R1、A-R2、B-R1と接続される。前記制御回路8には、前記2個の機能ブロック2A、2Bとの間でデータの書き込み／読み出しを行うためのアドレス信号、読み出し活性化信号及び書き込み活性化信号が入力され、前記DLL回路10には、クロック信号が入力される。

[0071] 更に、図1に示した半導体集積回路には、3個の電源電圧制御回路12a、12b、12cと、3個の基板電圧制御回路13a、13b、13cが備えられるが、これ等の詳細については後述する。

[0072] 図2は、前記正規メモリセル群5aに対するデータ(情報)の書き込み／読み出し構造の詳細を示す。同図において、20Aは前記1W2R型の機能ブロック2Aに専用の第1の保持回路(第1の情報保持回路)、30Bは前記他方の1W1R型の機能ブロック2Bに専用の第2の保持回路(第2の情報保持回路)であり、各々、2個のインバータ回路I1、I2から成る。前記第1の保持回路20Aには、前記1W2R型の機能ブロック2Aに専用の1個の第1の書き込みポート部(情報入力用の第1のポート部)21AW、及び2個の第1の読み出しポート部(情報出力用の第1のポート部)21AR1、21AR2が接続される。前記第1の書き込みポート部21AWは、各1個のP型及びN型トランジスタTr1、Tr2から成ると共に、書き込みデータ線A-W1を介して機能ブロック2Aに接

続され、前記2個の読み出しポート部21AR1、21AR2は、各々、2個のN型トランジスタTr3、Tr4から成ると共に、読み出しデータ線A-R1、A-R2を介して機能ブロック2Aに接続される。前記書き込みポート部21AWのN型トランジスタTr2のゲートには、データ書き込み用のワード線WLWAが接続され、各読み出しポート部21AR1、21AR2のN型トランジスタTr4ゲートにはデータ読み出し用ワード線WLRA1、WLR A2が接続される。

[0073] 同様に、前記第2の保持回路30Bには、前記1W1R型の機能ブロック2Bに専用の1個の第2の書き込みポート部(情報入力用の第2のポート部)31AW、及び1個の第2の読み出しポート部(情報出力用の第2のポート部)31ARが接続される。前記第2の書き込みポート部31AWは、前記第1の書き込みポート部21AWと同様に各1個のP型及びN型トランジスタTr1、Tr2から成ると共に、書き込みデータ線B-W1を介して機能ブロック2Bに接続され、前記読み出しポート部31ARは、前記読み出しポート部21AR1と同様に2個のN型トランジスタTr3、Tr4から成ると共に、読み出しデータ線B-R1を介して機能ブロック2Bに接続される。前記書き込みポート部31AWのN型トランジスタTr2のゲートには、データ書き込み用のワード線WLWBが接続され、各読み出しポート部31ARのN型トランジスタTr4ゲートにはデータ読み出し用ワード線WLRBが接続される。

[0074] 更に、図2において、40はラッチ回路(一時的保持回路)であって、4個のP型トランジスタTr5～Tr8と3個のN型トランジスタTr9～Tr11とを備えた差動回路から成る。41及び42は転送回路であって、各々、4個のN型トランジスタTr12～Tr15、Tr16～Tr19を備える。前記ラッチ回路40は、前記第2の機能ブロック2B専用の第2の保持回路30Bに接続され、内蔵するN型トランジスタTr11のゲートにHレベルの制御信号B→LENが入力された時に、前記第2の保持回路30Bの保持データをラッチする。前記一方の転送回路41は、前記ラッチ回路40と前記第1の保持回路20Aとに接続され、2個のN型トランジスタTr13、Tr15のゲートに制御信号L→AENが入力された時に、前記ラッチ回路40のラッチデータを第1の保持回路20Aに転送する。更に、他方の転送回路42は、第1の保持回路20Aと第2の保持回路30Bとに接続され、2個のN型トランジスタTr17、Tr19のゲートに制御信号A→BENが入力された時

に、前記第1の保持回路20Aの保持データを第2の保持回路30Bに転送する。従って、前記ラッチ回路40及び前記2個の転送回路41、42により、第1及び第2の保持回路20A、30B間でデータの入れ替えを行う入れ替え回路43を構成している。

[0075] 図3は、前記入れ替え回路43によるデータの入れ替えシーケンスを示すタイミングチャートを示す。同図では、最初、制御信号B→LENが活性化され、これによりラッチ回路40が第2の保持回路30Bの保持データをラッチする。その後、制御信号A→BENが活性化されて、第1の保持回路20Aの保持データが第2の保持回路30Bに転送される。そして、第2の保持回路30Bに第1の保持回路20Aのデータが格納されると、その後、制御信号A→BENが非活性化され、続いて、制御信号L→AENが活性化されて、前記ラッチ回路40でラッチされていた第2の保持回路30Bのデータが第1の保持回路20Aに転送される。その後、制御信号B→LEN及び制御信号L→AENが非活性となって、第1及び第2の保持回路20A、30B間のデータ入れ替えが完了する。

[0076] ここに、図1及び図2から判るように、第1の保持回路20Aは、1W2Rの第1の機能ブロック2Aに基本的に専用であり、第2の保持回路30Bは、1W1Rの第2の機能ブロック2Bに基本的に専用であるので、第1の保持回路20Aには、1W2Rの第1の機能ブロック2Aの1個の書き込みポート部21AW及び2個の読み出しポート部21AR1、21AR2のみが接続され、一方、第2の保持回路30Bには、1W1Rの第2の機能ブロック2Bの1個の書き込みポート部31BW及び1個の読み出しポート部31BRのみが接続される。従来では、各保持回路20A、30Bに対して、各々、2つの機能ブロック2A、2Bの合計ポート数(2W3R)(=5)を配置する必要があったため、これと比較して、本実施形態では、半導体集積回路全体として、ポート数を半減でき、レジスタファイル1の面積を効果的に縮小できる。

[0077] しかも、例えば、第1の機能ブロック2Aが自己に専用の第1の保持回路20Aに対してデータの読み出し／書き込みを行い、且つ、第2の機能ブロック2Bが自己に専用の第2の保持回路30Bに対してデータの読み出し／書き込みを行った後、保持回路20A、30B間でデータを入れ替えて使用する必要が生じた場合には、前記メモリセルアレイ5内のラッチ回路40を介して第1及び第2の保持回路20A、30B間でデータ

の入れ替えが行われる。このデータの入れ替えを、例えば、外部に退避レジスタを配置し、データバスを通じてレジスタファイル1と退避レジスタとを接続して行う場合には、レジスタファイル1のエントリ数の周期分だけ入れ替え時間を要するが、本実施形態では、僅か1周期で完了する。

- [0078] 従って、本実施形態のレジスタファイル1では、小面積で且つ高速なデータ書き込み／読み出し性能を発揮する。
- [0079] また、前記図2において、ラッチ回路40は、図2に示したように差動回路で構成されているので、第2の保持回路30Bが低電源電圧で動作するものであっても、この第2の保持回路30Bの保持データをラッチ回路40に良好にラッチすることが可能である。従って、第2の機能ブロック2Bに専用の第2の書き込みポート部31BW及び読み出しポート部31BRの活性化率(アクセス頻度)が低い場合や、これ等のポート部31BW、31BRのアクセス速度が他のポート部より遅くてもかまわない場合には、第2の保持回路30Bをより一層に低電源電圧に設定することができて、より一層の低消費電力化が可能となる。
- [0080] 図4は、前記書き込み及び読み出しの各ポート部21AW、21AR1、21AR2、31BW、31BR、各保持回路20A、30B、及びラッチ回路40の活性化率(アクセス頻度)、構成トランジスタの閾値電圧及び供給を受ける電源電圧の関係を示す。
- [0081] 同図では、第1の書き込み及び読み出しポート部21AW、21AR1、21AR2、第1の保持回路20Aの第1の組と、第2の書き込み及び読み出しポート部31AW、31AR、第2の保持回路30Bの第2の組と、ラッチ回路40の第3の組とは、活性化率(アクセス頻度)、構成トランジスタの閾値電圧及び供給を受ける電源電圧が相互に異なる。具体的に、前記第1の組は、前記第2及び第3の組よりも活性化率が高く、この高い活性化率に応じて構成トランジスタの閾値電圧が低く設定されると共に、供給を受ける電源電圧が高く設定される。一方、活性化率の最も低い第3の組では、構成トランジスタの閾値電圧は最も高く、供給を受ける電源電圧は最も低く設定される。活性化率が中間的な第2の組では、構成トランジスタの閾値電圧及び供給を受ける電源電圧は、前記第1の組と第3の組との間の値に設定される。
- [0082] すなわち、トランジスタの活性化率(アクセス頻度)が高い場合には、そのトランジ

タの閾値電圧を低く設定すれば、消費電力の低減化が可能であると共に、この閾値電圧の下でトランジスタの動作速度が所定速度を満たすように、そのトランジスタへの電源電圧を設定すれば、所定の動作速度を確保できる。前記のように、各組では、自己の組の活性化率に応じて、構成トランジスタの閾値電圧及び供給を受ける電源電圧が設定されるので、各組別に、構成トランジスタからのリーク電流を有効に低減して低消費電力化が可能であると共に、動作速度を所定速度に保証できる。

- [0083] 尚、メモリセルアレイ5中の各ポート部及び各保持回路を構成するトランジスタは、その基板が他のポート部及び保持回路の基板とは分離されていることにより、個別に閾値電圧の設定が可能となる。また、各ポート部及び保持回路を、予め、閾値電圧の異なるトランジスタで構成しておけば、より一層に有効な消費電力の低減化が可能である。
- [0084] また、書き込み又は読み出しの各ポート部のアクセス速度が、その要求するスペックに応じて異なる場合には、その各ポート部間で、構成トランジスタのトランジスタ幅を予め異なったトランジスタ幅に生成しておけば、更に有効な低消費電力化となる。
- [0085] 前記図4に示した各組別の構成トランジスタの閾値電圧、及び供給を受ける電源電圧は、図1に示したように、前記各組別に設けた合計3個の基板電圧制御回路13a～13c及び合計3個の電源電圧制御回路12a～12cにより前記設定値に制御される。
- [0086] 図5は、前記基板電圧制御回路13aの内部構成を例示している。他の基板電圧制御回路13b、13bについても同一構成である。同図に示した基板電圧制御回路13aは、温度変動やプロセス変動に拘わらず、トランジスタの閾値電圧を設定値に保持する回路であって、その出力端子BNが第1の組のポート部及び保持回路を構成するN型トランジスタに基板に接続される。以下、図5に示した基板電圧制御回路13aの内部構成を説明する。
- [0087] 図5において、基板電圧制御回路13aは、閾値電圧モニター用のN型トランジスタ T_{rn} を有する。このN型トランジスタ T_{rn} は、前記レジスタファイル1内の正規メモリセル群5a内のN型トランジスタと同一製造工程で製造されたものである。このN型トランジスタ T_{rn} には、定電流源80から定電流が供給されている。この定電流源80は、温度依存性がない、例えば定電流特性を示すバンドギャップリファレンス回路等により

構成されており、その流す定電流値は、前記正規メモリセル群5a内のN型トランジスタに供給される電源電圧の下で且つそのN型トランジスタの設定閾値電圧の下でそのN型トランジスタが流す飽和電流値と等しい電流値である。前記モニター用のN型トランジスタ T_{rn} は、前記定電流源80からの定電流を電流－電圧変換し、その変換後の電圧(ドレイン電圧) V_d は、2入力型の比較部81に入力される。

[0088] 前記比較部81は、差動増幅器等により構成され、その一方の入力端子には、前記モニター用のN型トランジスタ T_{rn} からの変換電圧 V_d が入力され、他方の入力端子には、基板電圧制御回路13aの制御対象である例えば第1の書き込み／読み出しポート部21AW、21AR1、21AR2及び第1の保持回路20Aを構成するN型トランジスタへの電源電圧 V_{REF} が入力され、その出力側は、電圧リミット部82を介して、出力端子BNに接続されると共に前記モニター用のN型トランジスタ T_{rn} の基板に接続される。前記比較部81は、前記両入力電圧 V_d 、 V_{REF} が等しくなるように、前記モニター用のN型トランジスタ T_{rn} の基板電圧を制御する。この制御された基板電圧は、前記出力端子BNから出力されて、前記第1の組のポート部及び保持回路を構成するN型トランジスタの基板電圧とされる。尚、前記電圧リミット部82は、出力端子BNからの出力電圧の上限及び下限を、設定上限リミット電圧 V_U 及び設定下限リミット電圧 V_L に制限する。

[0089] 従って、図5に示した基板電圧制御回路13aでは、供給される電源電圧 V_{REF} の下で、制御対象のN型トランジスタの実際飽和電流が一定値に保持制御されるので、その結果として、その制御対象のN型トランジスタの閾値電圧も設定閾値電圧値に保持されることになる。尚、図5では、正規メモリセル群5a内のN型トランジスタの基板電圧を設定値に保持制御する構成を示したが、P型トランジスタの基板電圧を設定値に保持制御する場合も同様であるので、その説明を省略する。

[0090] 図1に示した電源電圧制御回路12a～12cは、各々基本的に、自己の組の電源電圧を前記図4に示した設定電源電圧値に制御する機能を有すると共に、図1に示したように、遅延電圧変換回路9からの制御信号を受けて、生成する電源電圧の値を調整する。図1に示した遅延電圧変換回路9及びDLL回路10は、前記第1～第3の各組について、使用時の温度変動に起因して動作遅延が変動する場合に、その遅

延変動を遅延電圧変換回路9で電圧変動に変換し、この電圧変動を内容とする制御信号でもって各組の電源電圧制御回路12a～12cの生成電源電圧を調整することにより、各組の動作速度について温度変動の影響を受けないように対策するものである。

[0091] 図6は、図1に示したDLL回路10の内部構成を示す。また、図8は、図1に示した遅延電圧変換回路9の内部構成を例示している。図6のDLL回路10は、読み出しポート、書き込みポート及び入れ替え回路43の動作遅延の基準値を生成する。すなわち、DLL回路10は、直列接続した4個のバッファ50a～50dから成る電圧制御遅延回路50と、この電圧制御遅延回路50の出力と所定クロック信号CLとを受けて両者を比較する比較器51と、この比較器51の出力を受けて容量Cに充電するチャージポンプ52とを備え、前記容量Cの充電状態は前記4個のバッファ50a～50dにフィードバックされる。そして、電圧制御遅延回路50の最初段のバッファ50aの出力信号は、出力端子53aからダミー読み出しポート部の遅延クロックとして出力され、2段目のバッファ50bの出力信号は、出力端子53bからダミー書き込みポート部の遅延クロックとして出力され、3段目のバッファ50cの出力信号は、出力端子53cからダミー切り替え遅延クロックとして出力される。これ等の遅延クロック及び所定クロック信号との関係を図7に示しておく。前記3種の遅延クロックは、予め、レジスタファイル1のアクセスバジェットにチューニングされている。

[0092] 図8に示した遅延電圧変換回路9は、前記DLL回路10から前記3種の遅延クロックを受けて動作する。この遅延電圧変換回路9は、図1に示したダミーメモリセル群5b～5fの何れかに形成されたダミー読み出しポート部9a、ダミー書き込みポート部9b及びダミー切り替え回路9cを備える。これ等のダミーポート部及び切り替え回路は、前記正規メモリセル群5aに形成したポート部21AW…及び切り替え回路43と同一構成である。また、遅延電圧変換回路9には、前記ダミーのポート部及び切り替え回路に対応した合計3個の比較器9d～9f及びカウンタ9g～9iとが備えられる。

[0093] そして、遅延電圧変換回路9では、所定のクロック信号で動作するダミー読み出しポート部9aの出力信号と、前記DLL回路10からのダミー読み出しポート部の遅延クロック(基準遅延クロック)とを比較器9dで比較して、ダミー読み出しポート部9aの遅

延(読み出し時間)の方が遅い場合には、比較器9dからの出力によってカウンタ回路9gをインクリメントして、前記第1の組用の電源電圧制御回路12aの電源電圧値を上昇させるよう制御信号を調整する。同様に、前記DLL回路10からのダミー読み出しポート部の遅延クロックを受けて動作するダミー書き込みポート部9bの出力信号と、前記DLL回路10からのダミー書き込みポート部の遅延クロック(基準遅延クロック)とを比較器9eで比較して、ダミー書き込みポート部9bの遅延(書き込み時間)の方が遅い場合には、比較器9eからの出力によってカウンタ回路9hをインクリメントして、前記第2の組用の電源電圧制御回路12bの電源電圧値を上昇させるよう制御信号を調整する。更に、前記DLL回路10からのダミー書き込みポート部の遅延クロックを受けて動作するダミー切り替え回路9cの出力信号と、前記DLL回路10からのダミー切り替え遅延クロック(基準遅延クロック)とを比較器9fで比較して、ダミー書き込み回路9cの遅延の方が遅い場合には、比較器9fからの出力によってカウンタ回路9iをインクリメントして、前記第3の組用の電源電圧制御回路12cの電源電圧値を上昇させるよう制御信号を調整する。

[0094] 従って、図6のDLL回路10及び図8の遅延電圧変換回路9を使用すれば、前記ダミー読み出し／書き込みポート部9a、9b及びダミー切り替え回路9cの動作遅延が温度変動に起因して変動しても、これに応じて、供給される電源電圧が電源電圧制御回路12a～12cで調整されるので、前記ダミーの回路9a～9cと同様の遅延を持つ正規の読み出し／書き込みポート部21AW…及び切り替え回路43の動作遅延を温度変動に拘わらずほぼ所定の一定値に保持することが可能である。

[0095] 図9は、前記書き込み／読み出しポート部21AW、31BR…や保持回路20A、30Bを生成した多数個のトランジスタのレイアウト構成の概略図を示す。同図では、N型基板60上に前記ポート部及び保持回路を構成するトランジスタ列61が形成される。このトランジスタ列61のうち、端部に位置する複数のトランジスタを用いて、動作速度の比較的遅いポート部及び保持回路を構成し、一方、前記トランジスタ列61のうち内側に位置する複数のトランジスタを用いて、動作速度の比較的速いポート部及び保持回路を構成する。この構成の採用により、前記N型基板60上では、トランジスタ列61の左右に位置する他のトランジスタ列62、63との間に素子分離領域(STI)65が

配置され、このSTIの影響を受けてトランジスタ列61の端部のトランジスタは劣化の程度が大きい、動作速度の遅いポート部及び保持回路が配置されているので、その劣化の影響が少ない。一方、動作速度の速いポート部及び保持回路は、トランジスタ列61の内側に位置していてSTIの影響を受け難いトランジスタで構成されるので、その速い動作速度を良好に確保できる。

- [0096] 図10は、ダミーメモリセル群5d内の複数のダミー保持回路を用いてデータの入れ替えを実際に行った結果を用いて、正規メモリセル群5aでの2個の保持回路20A、30B間のデータの入れ替えを確実に行うための構成を示す。
- [0097] 同図では、ダミーメモリセル群5d内の図2相当回路5d1、5d2が2つ用いられると共に、制御回路8には、データ入れ替えの必要時を検出する検出回路70と、この検出回路70の出力信号を受けて、データ入れ替え用の6種の制御信号(入れ替え制御信号)B→LEN__D、B→LEN、A→BEN__D、A→BEN、L→AEN__D、L→AENを生成する制御信号生成回路71とが備えられる。
- [0098] 前記2つのダミー回路5d1、5d2は、図2の回路と基本構成は同様であるので、同一部分には図2の符号に続けて各々符号D1、D2を付して、その説明を省略する。前記一方のダミー回路5d1は、第1のダミー保持回路(第1のダミー情報保持回路)20AD1から第2のダミー保持回路(第2のダミー情報保持回路)30BD1へのデータ入れ替えに要した時間の検出用であり、他方のダミー回路5d2は、ダミーラッチ回路40D2から第1のダミー保持回路20AD2へのデータ入れ替えに要した時間の検出用である。第1のダミー回路5d1では、第1の読み出しポート部21AR2D1と第2の読み出しポート部31BRD1とが制御信号生成回路71に接続される。一方、第2のダミー回路5d2では、第1の読み出しポート部21AR1D2が制御信号生成回路71に接続されている。
- [0099] 前記検出回路70は、バンクセレクト信号を受け、アクセス中のバンクが他のバンクに切り替わる時、換言すれば、第1及び第2の保持回路20A、30Bに保持されるべきデータが保持された後では、前記バンクセレクト信号の電位変化を検出し、データの入れ替えの必要時と判断して、検出信号を出力する。
- [0100] また、前記制御信号生成回路71は、次のように動作する。すなわち、初期状態とし

て、例えば、一方のダミー回路5d1では、第1のダミー保持回路20AD1には「1」データを、第2のダミー保持回路30BD1及びダミーラッチ回路40D1には共に「0」データを保持させる一方、他方のダミー回路5d2では、第1のダミー保持回路20AD2には「0」データを、第2のダミー保持回路30BD2及びダミーラッチ回路40D2には共に「1」データを保持させる。

[0101] 更に、前記制御信号生成回路71は、前記初期状態の後、前記検出回路70から検出信号を受けたデータ入れ替えの必要時には、前記一方のダミー回路5d1に対して、第1のダミー保持回路20AD1から第2のダミー保持回路30BD1へのデータ入れ替え用の制御信号A→BEN__Dを出力すると共に、所定の時間差をもって図2の正規回路に対して、第1の保持回路20Aから第2の保持回路30Bへのデータ入れ替え用の制御信号A→BENを出力する。その後、一方のダミー回路5d1の第2のダミー保持回路30BD1に第1のダミー保持回路20AD1のデータが入れ替わって、このデータ「1」が読み出しポート部31BRD1から実際に読み出されると、前記両制御信号A→BEN__D、A→BENの出力を所定の時間差をもって停止させると共に、今度は、他方のダミー回路5d2に対して、ダミーラッチ回路40D2から第1のダミー保持回路20AD2へのデータ入れ替え用の制御信号L→AEN__Dを出力すると共に、所定の時間差をもって図2の正規回路に対して、ラッチ回路40から第1の保持回路20Aへのデータ入れ替え用の制御信号L→AENを出力する。

[0102] その後、制御信号生成回路71は、他方のダミー回路5d2において、ダミーラッチ回路40D2のデータ「1」が第1のダミー保持回路20AD2に転送されて、読み出しポート部21ARD2から読み出されると、前記両制御信号L→AEN__D、L→AENの出力を所定の時間差をもって停止させる。

[0103] 前記制御回路8に内蔵される検出回路70及び制御信号生成回路71により、ダミー回路5d1、5d2においてデータの入れ替えを実際に行い、その実際の入れ替え時間の結果を反映して、図2に示した正規回路での2個の保持回路20A、30B間のデータの入れ替えを行うので、この正規回路でのデータの入れ替えを確実にを行い、且つ、データの入れ替え終了後に前記制御信号B→LEN、A→BEN、L→AENの出力を終了することができる。

[0104] (ダミー保持回路を用いてデータの入れ替えを制御する構成の変形例)

図11は、レジスタファイルのデータを読み出し動作後、ダミー回路で書き込み完了を検知し、2つのメモリセル間のデータの入れ替えを完了させる回路を構成する場合に、データ入れ替え用の6種の制御信号(入れ替え制御信号)B→LEN__D、B→LEN、A→BEN__D、A→BEN、L→AEN__D、L→AENを生成する回路の変形例を示し、図10に示したダミーメモリセル群5d内の図2相当回路5d1、5d2及び制御信号生成回路71に相当する。

[0105] 図11に示した回路も、図10の説明で記述したと同様に、2つのダミー回路Rep1、Rep2を用いる。前記図10では、書き込みビット線のデータを入れ替え、1つの書き込みポートにおいて書き込みを完了して初期状態に戻す構成としたが、図11に示したダミー回路Rep1、Rep2では、2つの書き込みポートに接続されたビット線を、予め、固定電位に設定しておき、書き込み制御信号WWL、及びその反転信号／WWLにより、書き込み完了を検知して、保持回路の情報を初期状態に戻す構成である。尚、図11に付した符号11Aは、スイッチシンボルで簡略化して表現しているが、実際はMOSTランジスタで形成され、且つ図中の近傍に記載した制御信号によりON／OFF制御される。

[0106] 図12は、前記図11の各ノードのタイミングチャートを示す。この図12を用いて、更に、図11の回路の構成及び動作を説明する。

[0107] レジスタファイルのクロック信号CLKが立上った後、レジスタファイルの読み出しポートの制御信号RWLが活性化され、ダイナミック回路DC1(図10中の制御信号生成回路71に相当する回路)のノードDWがプリチャージされる。その後、読み出し制御信号RWLが非活性になると、書き込み制御信号WWL及び入れ替え制御信号B→Lの反転信号とが活性化され、ダイナミック回路DC3のノードDBAがプリチャージされる。前記書き込み制御信号WWLの活性化により、ダイナミック回路DC1のノードDWがディスチャージされ、前記書き込み制御信号WWLと入れ替え制御信号B→Lの反転信号とが非活性になり、入れ替え制御信号A→Bが活性化され、ダイナミック回路DC2のノードDCBがプリチャージされる。また、ダイナミック回路DC3のノードDBAが前記入れ替え制御信号A→Bの活性化によりディスチャージされ、その後、前

記入替え制御信号A→Bが非活性になり、入れ替え制御信号L→A信号が活性化されると、ダイナミック回路DC2のノードDCBがディスチャージされて、入れ替え制御信号L→Aが非活性となり、書き込み検知動作と2つの保持回路の情報の入れ替え動作とが完了する。

- [0108] 前記図11に示した回路は、多ポートの書き込みポートを有する場合にメリットがあり、書き込みビット線を遷移する必要がないので、小面積化が可能である。尚、図12でのタイミングチャートでは、クロック信号CLKの1サイクル中に、読み出し(Read)、書き込み(Write)、入れ替え(Copy)動作が完了しているが、読み出し(Read)、書き込み(Write)は、クロック信号の1サイクル中に完了して、入れ替え(Copy)動作は2サイクル目で完了しても良いのは勿論である。この場合は、入れ替え動作のためのレイテンシが1サイクル発生するが、後述するマルチスレッド型のプロセッサの応用例などでは、性能劣化は僅かなものである。

- [0109] (電源電圧制御の別の例)

図13は、図4に示したポート部、保持回路及びラッチ回路の活性化率(アクセス頻度)、閾値電圧及び電源電圧の他の制御例を示す。図13では、レジスタファイルが、7R5WのメモリセルMCAと、1R1WのメモリセルMCBと、これ等2つのメモリセルMCA、MCB間でデータを入れ替える入れ替え回路(ラッチ回路)で構成される場合に、各メモリセルMCA、MCBのアクセス速度をほぼ一定にしようとした場合の制御例を示している。図中の閾値電圧、電源電圧は、製造プロセスにばらつきがなく、温度条件が最適であった場合の目標値を示す。

- [0110] 通常、レジスタファイルでは、ポート毎に活性化率(アクセス頻度)が異なった場合であっても、その動作スペックを満足するように、各ポートのアクセス速度は一定になるように制御される。本発明の特徴的な構成要素である入れ替え回路を付加した場合には、この入れ替え回路も、ほぼ一定のアクセス速度に揃えられることになる。一般に、消費電力を削減するために、活性化率に応じてMOSTランジスタの閾値電圧を上げると、そのアクセス速度が遅くなる。このため、そのアクセス速度を補償するように、電源電圧は高めに設定される。前記図4では、低消費電力を主たる目的としていたので、活性化率が低い場合ほど電源電圧を低く設定したが、ほぼ一定のアクセス

速度に揃えようとする、アクセス頻度が低い場合ほど電源電圧を高くする必要がある。しかし、この場合であっても、尚も低消費電力化が可能である。例えば、90nmのCMOSトランジスタで考えると、閾値電圧が200mVよりも約200mV高ければ、リーク電流は1/1000以下に削減でき、一方、電源電圧が0.8Vの場合と1Vの場合とでは、リーク電流の比率は1/4しか異ならないため、全体として、リーク電流は、低閾値電圧に設定するよりも、1/250削減できるからである。図13において、入れ替え回路の閾値電圧と電源電圧値とが、一方のメモリセルMCBと同じ値に設定されている理由は後述する。

- [0111] 図14(a)は、図13で示した活性化率や閾値電圧などの各種設定に基づき、且つ、メモリセルMCA、MCBの面積、製造プロセスのばらつき及び温度ばらつきを削減するために、閾値電圧の最適化を図った場合の回路図を示す。
- [0112] 図14(a)においては、7R/5WのメモリセルMCA、1R/1WのメモリセルMCB、入れ替え回路(ラッチ回路)L1の各構成PMOSTランジスタの閾値電圧は共通に設定しており、その各構成NMOSTランジスタの閾値電圧のみを両メモリセルMCA、MCB間で異ならせるように、予め、各々の製造プロセス工程で、低い閾値電圧及び高い閾値電圧に製造される。閾値電圧の設定は、各ジャンクションの濃度又はゲート酸化膜圧の材質や厚みを変化させることにより、可能である。
- [0113] 更に、メモリセルMCA、MCBと入れ替え回路L1の構成NMOSTランジスタの基板には、温度ばらつきや製造プロセスばらつきに関わらず、NMOSTランジスタの閾値電圧 V_t が一定値に設定できるように調整するための基板電圧が基板電圧生成回路(図示せず)から供給される。この場合の物理構造の断面を図14(b)に示す。
- [0114] 図14(b)において、メモリセルMCAが有する低い閾値電圧 LV_t の図中左端のNMOSTランジスタには、同図(d)及び(f)にも示すように、基板電圧生成回路から基板電圧 V_{BN} がPWELLに供給され、メモリセルMCB及び入れ替え回路L1が有する高い閾値 HV_t の図中右端のNMOSTランジスタには、同図(c)及び(e)にも示すように、基板電圧生成回路から V_{BNC} の基板電圧がPWELL1に供給される。図14(b)中央のPMOSTランジスタには、基板電圧 V_{BP} がNWELLに供給される。このように、各回路によって活性率がある程度異なる場合であっても、物理配置を考慮して、閾

値電圧と電源電圧とを共有することにより、小面積化が図られる。すなわち、メモリセルMCBと入れ替え回路L1とは活性化率が異なるものの、その何れも活性化率が十分に低い点では共通しているので、閾値電圧と電源電圧とを共通にしておき、基板分離による面積増大を最小限に抑えている。

[0115] また、PMOSTランジスタについても、閾値電圧及び電源電圧を共通にすることにより、小面積化が図られる。何故なら、仮にPMOSTランジスタについても、アクセス頻度が異なる2種のメモリセルMCA、MCB間で閾値電圧の設定を別にして、温度ばらつきやプロセスばらつきに関わらず一定の閾値電圧 V_t を設定できるように、基板電圧生成回路から各PMOSTランジスタの基板に別々の電源電圧を供給した場合には、PMOSTランジスタのNWELLを別々にする必要がある。NWELLの分離幅とPWELLの分離幅とでは、一般的に深いウェルが共通であるウェルの分離幅の方が大きくなる。従って、この場合であれば、NWELLを分離した方がPWELLを分離する場合に比べてオーバーヘッドが大きいからである。例えば、90nmのCMOS世代では、各々2 μm と1 μm である。

[0116] 更に、図14(a)においては、メモリセルMCBの電源電圧はメモリセルMCAよりも高電圧に設定され、入れ替え回路L1の電源電圧はメモリセルMCBの電源電圧と同じ電圧値に設定される。この構成により、一方のメモリセルMCBから入れ替え回路L1に先ずデータが入力され、次に他方のメモリセルMCAから前記一方のメモリセルMCBにデータが入力され、最後に、入れ替え回路L1から前記他方のメモリセルMCAにデータが入力されることにより、データの入れ替えが行われる構成としている。これにより、貫通電流を抑制する効果がある。以下にその理由を詳述する。

[0117] 仮に、メモリセルMCBの書き込みポートの電源電圧が入れ替え回路L1の電源電圧よりも低く、メモリセルMCBの書き込みポートと保持回路との接続点のノードがHiの場合、そのノードの電圧値は、入れ替え回路L1の電源電圧と等しくなる。しかし、メモリセルMCBの書き込みポートの電源電圧は、低電圧であるので、前記ノードの電圧がメモリセルMCBの書き込みポートの電源電圧より高くなり得る。すると、その書き込みポートに接続されるビット線の電位がLの場合であっても、書き込みポートを形成するトランスファークロスの構成PMOSTランジスタのゲート電圧が、メモリセルMCB

の書き込みポートと保持回路との接続ノードの電源電圧よりも、PMOSTランジスタの閾値電圧分低くなる可能性がある。そうすると、書き込みポートを形成するトランスファークロウの構成PMOSTランジスタは、ON状態となる。つまり、メモリセルMCBの書き込みポートと保持回路との接続ノードから書き込みビット線に貫通電流が流れる可能性がある。しかし、図14(a)の構成のように、メモリセルMCBの電源電圧を入れ替え回路L1の電源電圧以上に設定しておけば、書き込みポートを形成するトランスファークロウの構成PMOSTランジスタのゲート電圧が、メモリセルMCBの書き込みポートと保持回路との接続ノードの電源電圧よりもPMOSTランジスタの閾値電圧分低くなることはなく、貫通電流は流れないことになる。

[0118] 次に、図14のメモリセルを用いた場合の基板電圧の供給回路及び電源電圧の供給回路を用いるときのレジスタファイルの物理配置図を図15に示す。このレジスタファイルは、1サイクル中に、読み出し動作とその完了後の書き込み動作とを行い、その後、一方のメモリセルMCAと他方のメモリセルMCBとの間で入れ替え動作を行う。図15に示した比較器15D、15E及びカウンタ15B、15Cは、図1における遅延電圧変換回路9に相当しており、これらとダミーメモリセル1Jとを合わせた構成を図16に示す。尚、図15において、電源制御回路B1L、C1Mや、基板生成回路B1P、C1Pは、レジスタファイルの内部又は外部の何れにあっても、電源電圧供給に対しての損失はそれほど変わらない。従って、他の半導体集積回路のブロックに同様の電源電圧を与える場合には、レジスタファイルの外部においてこれ等の電源制御回路を共有し、外部に与えない場合には、レジスタ内部に配置した方が、配線の引き回しなどの面積オーバーヘッドが少ないので、面積的に効率的である。

[0119] 図16に基づいて本例の電圧制御の構成の詳細について更に説明する。図16に示した遅延電圧変換回路16Aにおいて、MCBダミー回路(第1のダミー回路)16Cと、MCAダミー回路(第2のダミー回路)16Bとは、図15のダミーメモリセル群1Jに位置する。MCAダミー回路16Bには、メモリセルMCAからのデータの読み出しを検知する読み出し検知回路90と、書き込みを検知する書き込み検知回路91と、入れ替え検知回路16Dとが存在する。前記読み出し検知回路90は、クロック信号が入力されて動作し、書き込み検知回路91は、前記読み出し検知回路90から出力される読み出

し検知信号が入力されて動作し、入れ替え検知回路16Dは、前記書き込み検知回路91から出力される書き込み検知信号が入力されて動作する。前記読み出し検知回路90、書き込み検知回路91、入れ替え検知回路16Dの基本的な構成は、前記図10及び図11の回路構成と類似しており、ダミーメモリセルとダイナミック回路で構成されている。当業者であれば、図10及び図11に基づいて設計可能である。

[0120] 前記MCAダミー回路16Bについては、メモリセルMCAの書き込みポート部、読み出しポート部、保持回路の何れも、低い閾値電圧 LV_t のNMOSTランジスタで構成されているので、同様に低い閾値電圧 LV_t のNMOSTランジスタで設計されている。入れ替え検知回路16Dについては、図13に示した入れ替え回路(ラッチ回路)と同様に、高い閾値電圧 HV_t のNMOSTランジスタで構成されている。

[0121] 従って、MCAダミー回路16Bは、クロック信号が読み出し検知回路90に入力されたメモリからのデータ読み出し、メモリへのデータ書き込み、データ入れ替えの一連の処理が終わった後に、出力信号を出力する。比較器15Dは、このMCAダミー回路16Bからの出力信号の遅延した位相を、レジスタファイルの動作クロックとなる基準クロックと比較し、その結果をカウンタ回路15Bに出力する。カウンタ回路15Bは、入れ替え検知回路16Dからの出力信号の遅延が基準クロックよりも遅い場合にはインクリメントされ、入れ替え検知回路16Dの出力信号の遅延が基準クロックよりも早い場合には、デクリメントされる。前記カウンタ回路15Bのカウント結果は、電源制御回路(電源電圧調整回路及び電源電圧供給回路)C1Mに出力される。この電源制御回路C1Mは、インクリメントされている場合には電源電圧を上げるように、デクリメントされている場合には電源電圧を下げるように動作する。他方のMCBダミー回路16Cも、基本的な構成及び動作は前記MCAダミー回路16Bと同様であるが、読み出し検知回路92及び書き込み検知回路93共に、高い閾値電圧 HV_t で構成されている。

[0122] 図17は、以上説明した図16の回路のタイミングチャートを示す。これらの図15～図17を用いて動作を説明する。

[0123] 図17においては、最初、MCAダミー回路16BもMCBダミー回路16Cも何れも供給電源電圧が適正でなく、低い場合を示している。まず、MCBダミー回路16Cの出力信号の遅延と基準クロックの周期とを比較器15Eで比較し、その結果、MCBダミ

一回路16Cについては1サイクルで最適な電源電圧である1.0Vに設定される。2サイクル目からは、比較器15Eは同位相である出力信号を出し、電源電圧は1.0Vに保持される。MOSTランジスタの高い閾値電圧 HV_t に対応する電源電圧(=1.0V)が設定されることにより、MCAダミー回路16B中の入れ替え検知回路16Dの電源電圧が1.0Vに確定し、この状態で、MCAダミー回路16Bの遅延と基準クロック信号とが同位相となるように設定することにより、MCAダミー回路16Bの電源電圧も最適な電源電圧である0.8Vに設定される。3サイクル目からは、同位相であるので、電源電圧値は、0.8Vに保持される。

[0124] 以上のように、高い閾値電圧 HV_t のMOSTランジスタを用いた回路と、低い閾値電圧 LV_t のMOSTランジスタを用いた回路とが混載されたパスにおいて、高い閾値電圧 HV_t 側の回路の電源電圧と低い閾値電圧 LV_t 側の回路の電源電圧とが異なり、その最適な電源電圧を与える方式において、図16の回路は有効な構成であることが説明された。つまり、図16では、所定の1つの閾値電圧を持つMOSTランジスタのみで構成された回路の遅延と、定義された遅延値とを比較することにより、その回路の電源電圧を最初に決定し、その後、その電源電圧が決定されることにより、混載された他方の回路、即ち、別の所定の閾値電圧を持つMOSTランジスタで構成された回路の電源電圧値を決定するものである。

[0125] 全てのパスにおいて閾値電圧の異なるMOSTランジスタの回路を複数混載させると、2つの不定値が存在し、何れの回路についても電源電圧を確定させることができないために、フィードバックループが収束しない。しかし、本例のように、単一の閾値電圧を持つ複数のMOSTランジスタで構成したパスを用いて、先ず、所定の閾値電圧を持つMOSTランジスタの回路の電源電圧を決定し、この決定された電源電圧を用いて、他の閾値電圧を持つMOSTランジスタを含む回路の電源電圧を決定することにより、フィードバックループを収束させることができる。また、本方式は、前述した図8の回路方式と比較すると、DLL回路などが要らず、更に小面積で実現できる。

[0126] 尚、本例は、NMOSTランジスタについてのみ閾値電圧の異なるMOSTランジスタの回路を混載した例を示したが、PMOSTランジスタについても、閾値電圧の異なる複数のMOSTランジスタで構成された回路が混載されていても、同様である。また、

閾値電圧が3種に異なる複数のMOSTランジスタが混載する場合であっても、1種の閾値電圧を持つ複数のMOSTランジスタで構成された回路、2種の閾値電圧を持つ複数のMOSTランジスタで構成された回路、そして、3種の閾値電圧を持つ複数のMOSTランジスタで構成された回路を生成すれば、本例の方式で電源電圧値を決定できるのは言うまでもない。

(メモリセルの他の変形例)

図18は、レジスタファイルのメモリセルの他の変形例を示す。

- [0127] 同図は、図2における第2の書き込みポート部31BW、転送回路42、第2の保持回路30B及び第2の読み出しポート部31BRを総合した構成、又は、第1の書き込みポート部21AW、転送回路41、第1の保持回路20A及び第1の読み出しポート部21AR2を総合した構成に対応する1R/1Wのメモリセルを示している。
- [0128] 同図において、書き込みポートAWは、データ2A書き込みワード線WL2がHiの時、ディセーブルとなり、データを書き込むことができない。保持回路2Bにおける第1及び第2の反転回路18A、18Bのうち、第2の反転回路18Bは、1つのPMOSTランジスタ94と、2つのNMOSTランジスタ18c、18dから構成されている。第1のNMOSTランジスタ18dのソースに第2のNMOSTランジスタ18cのドレインが接続されており、第2のNMOSTランジスタ18cのゲートは、データ2A書き込みワード線WL2に接続されている。更に、前記第2のNMOSTランジスタ18cのソースは、データ2A書き込みワード線WL2を反転するインバータ回路INV8の出力に接続されている。以下、この回路の動作について説明する。
- [0129] 前述した図2のレジスタファイルのメモリセルでは、書き込みビットラインからHiを書き込む場合に、第1の保持回路又は第2の保持回路内の反転回路I2のNMOSTランジスタのゲート長は、対となるPMOSTランジスタの電流能力と、ビットラインに接続された書き込み回路内のPMOSTランジスタの電流能力とによって決定される。つまり、反転回路I2のNMOSTランジスタの電流能力は、保持回路をHiにするPMOSTランジスタのドライブ能力よりも十分に小さくする必要がある。通常、これ等のレジスタファイルのメモリセルは小面積化が要望されており、各プロセス世代のMOSTランジスタの最小ランジスタ幅に近いサイズを用いる。反転回路I2のNMOSTランジスタ

やPMOSTランジスタも、最小ランジスタ幅が要求される。最小ランジスタ幅を用いつつ、このドライブ能力の制約を満たすために、従来では、NMOSTランジスタのゲート長を長くすることにより対応してきた。例えば、電源電圧0.8Vにおいて、このドライブ能力の制約を満たすランジスタの大きさは、90nmプロセス世代の場合、反転回路I2のPMOSTランジスタのランジスタ幅を0.3 μ m、ゲート長を0.1 μ mとした場合、反転回路I2のNMOSTランジスタは、ランジスタ幅0.3 μ mで、ゲート長は1 μ mを必要とすることになる。

[0130] しかしながら、65nmプロセス世代では、リソグラフィーの限界で、ゲート長が最小ゲート長の2倍程度のMOSTランジスタを形成することしか出来ない。0.1 μ mのゲート長のNMOSTランジスタを10段直列に接続することにより、1 μ m相当のランジスタを形成することができるが、この構成では、面積オーバーヘッドが大きくなり過ぎる。何故ならば、複数のMOSTランジスタを直列に接続して形成した場合、この直列領域のディフュージョン幅は、最小ゲート長(この場合0.1 μ m)の約2倍が必要となるからである。つまり、10段の直列ランジスタの場合、ランジスタのゲート長方向に、 $0.1 \times 2 \times 9 = 1.8 \mu\text{m}$ 位のディフュージョン幅が必要となり、1段でゲート長が1 μ mのNMOSTランジスタで構成した場合よりも、かなり大きくなってしまからである。

[0131] これを解決するために、本願発明者は、前記図18のようなメモリセルを考案した。同図では、データ2A書き込みワード線WL2がHiの時は、NMOSTランジスタ18cはオン状態であるので、反転回路18Bは、通常の反転論理回路としての機能を果たすことになる。一方、データ2A書き込みワード線がLの時は、NMOSTランジスタ18cはカットオフされるので、NMOSTランジスタ18cのドライブ能力を低くみせることができ、容易に保持回路2BにHiを書き込むことができる。この構成により、進んだ製造プロセスでも、無駄に面積のオーバーヘッドが生じないメモリセルを実現することができる。

[0132] 更に、図18に示したメモリセルは、NMOSTランジスタ18cのソースを直接接地に接続するのではなく、データ2A書き込みワード線WL2の反転回路INV8の出力に接続している点にも特徴がある。

[0133] 仮に、データ2A書き込みワード線WL2の反転回路INV8がインバータで構成され

ていたとすると、反転回路18BのNMOSTランジスタ18dとPMOSTランジスタ94との間の出力ノードは、NMOSTランジスタ18d、18c、そしてデータ2A書き込みワード線WL2の反転回路INV8内のNMOSTランジスタを経由して接地に接続されるので、これ等のNMOSTランジスタは、3段直列に接続した回路構成となっている。DIBL (Drain Induced Barrier Lower)の影響により、ソース・ドレイン電圧が低いほどリークが削減され、1段のNMOSTランジスタと2段直列のNMOSTランジスタとでは、リーク電流の比率は1:1/4であり、3段直列のNMOSTランジスタの場合は1:1/10となる。よって、NMOSTランジスタ18cのソースを直接接地する場合よりも、リーク電流は約6割削減可能となる。

[0134] しかも、新たにNMOSTランジスタを設ける必要はなく、もともと存在していたインバータINV8内のNMOSTランジスタへと直列に接続されるので、面積増加もない。尚、データ2A書き込みワード線WL2の反転回路INV8はインバータ回路である必要はなく、他の回路でも構わないが、接地に接続されたNMOSTランジスタの直列段数が多くなるほど、リーク電流を削減することが可能である。

[0135] 尚、反転回路18Aの出力がLとなる頻度が、Hとなる頻度に比して多い場合には、インバータ回路INV8の出力側にNMOSTランジスタ18dのソースを接続し、NMOSTランジスタ18dのドレインとNMOSTランジスタ18cのソースとを接続し、NMOSTランジスタ18cのドレインを反転回路18Aの入力側に接続する方が、好ましい。これにより、更なるゲートリーク電流の削減が可能となり、また読み出しポートARのディスチャージ回数を削減できるので、消費電力を低減することを可能である。

[0136] 図19は、レジスタファイルの更に別のメモリセルの変形例を示す図であり、3W/1Rのメモリセルを示す。

[0137] 保持回路2B中の第2の反転回路19Bは、1つのPMOSTランジスタ95と、このランジスタ95とゲート同士が接続された1つの第1のNMOSTランジスタ19cと、3つの第2のNMOSTランジスタ19d、19e、19fから構成されている。前記3つのNMOSTランジスタ19d、19e、19fのゲートは、対応する3つの書き込みポートの各書き込みワード線WL2、WL3、WL4に接続されている。同図の反転回路19Bでは、3つのデータ書き込みワード線WL2～WL4がHiのときは、全てのNMOSTランジスタ19c、1

9d、19e、19fはオン状態であるので、反転回路19Bは、通常の反転論理回路としての機能を果たす。一方、何れかのデータ2A書き込みワード線がLの時には、対応するNMOSTランジスタ19c、19d、19e、19fはカットオフされるので、容易に保持回路2BにHiを書き込むことができる。

[0138] 更に、第2の反転回路19Bの第1のNMOSTランジスタ19cから最も離れた第2のNMOSTランジスタ、即ち、接地側に最も近い第2のNMOSTランジスタ19fに接続されたデータ2C書き込みワード線WL4の活性化率が一番高く、他の第2のNMOSTランジスタ19e、19dの順で活性化率が低くなるように接続される。この構成により、ゲートリーク電流が削減されている。何故なら、何れかの書き込みワード線がLであり、その他の書き込みワード線がHiの場合に、第2のNMOSTランジスタ19f、19e、19dのソース・ドレイン電圧を比較すると、NMOSTランジスタ19fのソース・ドレイン電圧が一番低い。ゲートリーク電流は、MOSTランジスタのソース・ドレイン電圧の指数関数に比例するので、活性化率の一番高い書き込みワード線を、反転回路19Bの4個のNMOSTランジスタのうち接地に最も近いNMOSTランジスタ19fのゲートに接続することにより、ゲートリーク電流を最も削減することが可能となる。

[0139] 尚、反転回路19Aの出力がLとなる頻度が、Hとなる頻度に比して多い場合には、反転回路19Aの入力側にNMOSTランジスタ19dのドレインを接続し、NMOSTランジスタ19fのソースにNMOSTランジスタ19cのドレインを接続し、NMOSTランジスタ19cのソースを接地することが、好ましい。これにより、更なるゲートリーク電流の削減が可能となり、また読み出しポートARのディスチャージ回数を削減できるので、消費電力を低減することを可能である。

[0140] (応用例)

図20(a)は、図1の具体的な応用例を示す。

[0141] 同図において、100はマルチスレッド型のプロセッサであり、複数のスレッドを切り替えて実行する。スレッドを切り替えると、コンテキストをメモリに退避復帰する必要がある。1は図1にも示されている本発明のレジスタファイル、1aはコンテキスト退避復帰用のレジスタであって、図2の第2の保持回路30Bを複数備えて構成される。1bは前記プロセッサ100がその実行時に使用する通常のレジスタであって、図2の第1の保

持回路20Aを複数備えて構成される。103は演算器であって、図2の機能ブロック2Aの具体的な応用例である。107はデータバス、106はプロセッサ100の外部にデータバス107を介して接続された外部メモリ、104は前記レジスタ1aから外部メモリ106へコンテキストを退避したり、外部メモリ106からレジスタ1aへコンテキストを復帰する転送装置であって、図2の機能ブロック2Aの具体的な応用例である。105は、外部メモリ106のデータを格納するキャッシュメモリ、101は、前記転送装置104とレジスタファイル1と演算器103とを制御する制御部である。

[0142] 図20(b)は、プロセッサ100のスレッドを切り替える際の動作を示したタイミング図である。ここで、時刻Tを境にスレッドがスレッドAからスレッドBに切り替わっている。時刻Tに近づくと、スレッドBのコンテキストの復帰が始まる。右斜め斜線で示した部分がコンテキストの復帰を示しており、キャッシュ105と外部メモリ106との間でデータ転送が行われていない時間を利用して、外部メモリ106からレジスタ1aへコンテキストを復帰している。プロセッサ100がスレッドAを実行しているのと並列に、スレッドBのコンテキストを準備しているのである。そして、時刻Tになると、本発明のレジスタファイルの機能を用いて、レジスタ1aの内容とレジスタ1bの内容とを入れ替える。こうすることにより、スレッドAのコンテキストからスレッドBのコンテキストに切り替わる。

[0143] そして、時刻T以降では、スレッドAのコンテキストの退避が行われる。左斜線で示した部分がコンテキストの退避を示しており、キャッシュ105と外部メモリ106との間でデータ転送が行われていない時間を利用して、レジスタ1aから外部メモリ106へコンテキストを退避している。プロセッサ100がスレッドBを実行しているのと並列に、スレッドAのコンテキストを外部メモリ106へ退避しているのである。

[0144] 以上のプロセッサ100において、レジスタ1はコンテキストの退避復帰のペナルティを隠すために、プロセッサ100がその実行時に使用する通常のレジスタ1b以外に、コンテキスト退避復帰用のレジスタ1aを備えている。この構成により、スレッドAの実行中にスレッドBのコンテキストを準備でき、時刻Tでは瞬間的にスレッドBに切り替わることができる。従って、実行時に使用するレジスタ1bの倍の容量のレジスタを実装する必要があるが、本発明のレジスタファイルを用いることにより、小面積、低消費電力及び高速動作を実現することができる。

[0145] 図21は、マルチスレッド型のプロセッサの変形例を示す。同図において、400はマルチスレッド型のプロセッサであり、複数のスレッドを切り替えて実行する。前記図20に示したプロセッサ100では、1つの演算器103がロードストアと算術演算とを兼ねていたが、本例のプロセッサ400では、3つの演算器408、409、410と、1つのロードストアユニット403とが実装されている。更に、演算器408、409、410は各々書き込みポート数が1で、読み出しポート数が2であり、ロードストアユニット403は書き込みポート数が2で読み出しポート数が1である。また、407はデータバス、406はプロセッサ400の外部にデータバス407を介して接続された外部メモリ、404はレジスタファイル501内のコンテキスト退避復帰用のレジスタ501aから外部メモリ406へコンテキストを退避したり、外部メモリ406から前記レジスタ501aへコンテキストを復帰する転送装置である。405は外部メモリ406のデータを格納するキャッシュメモリ、401は、前記転送装置404とレジスタファイル501と演算器408、409、410とロードストアユニット403とを制御する制御部である。

[0146] 以上の構成のプロセッサ400において、スレッドを切り替える際の動作を示したタイミング図は、前記図20(b)と同様である。

[0147] 以上のプロセッサ400において、レジスタファイル501は、コンテキストの退避復帰のペナルティを隠すために、プロセッサ400がその実行時に使用する通常のレジスタ501b以外に、コンテキスト退避復帰用のレジスタ501aを備えている。従って、実行時に使用するレジスタ501bの倍の容量のレジスタを実装する必要があるが、本発明のレジスタファイルを用いることにより、小面積、低消費電力及び高速動作を実現することができる。特に、レジスタ501aとレジスタ501bのポート数が大きく異なる本変形例においては、その効果は図20の場合以上に大きい。

産業上の利用可能性

[0148] 以上説明したように、本発明は、1つのメモリセルに対して必要なポート数を従来に比して効果的に低減できると共に、データのアクセス時間も短時間で済む多ポート型レジスタファイルを持つ半導体集積回路として、有用であり、この半導体集積回路を備えた携帯電話や、ICカードチップ、又は据え置き型の電気製品としての使用に好適である。

請求の範囲

- [1] メモリセルアレイに形成され、情報を保持する第1及び第2の情報保持回路と、
前記第1の情報保持回路のみに接続された情報入力又は出力用の第1のポート部
と、
前記第2の情報保持回路のみに接続された情報入力又は出力用の第2のポート部
と、
入れ替え制御信号を受けて、前記第1の情報保持回路に保持された情報と前記第
2の情報保持回路に保持された情報とを前記メモリセルアレイ内で相互に入れ替える
入れ替え回路とを備えた
ことを特徴とする半導体集積回路。
- [2] 前記請求項1記載の半導体集積回路において、
前記第1及び第2のポート部は、各々、トランジスタ回路で構成され、
前記第1及び第2のポート部のトランジスタ回路は、相互に、閾値電圧の異なるトラ
ンジスタで構成される
ことを特徴とする半導体集積回路。
- [3] 前記請求項2記載の半導体集積回路において、
前記第1及び第2のポート部は、相互に、アクセス頻度が異なり、
閾値電圧の高いトランジスタで構成された側のポート部のアクセス頻度は、閾値電
圧の低いトランジスタで構成された側のポート部のアクセス頻度よりも、低い
ことを特徴とする半導体集積回路。
- [4] 前記請求項1記載の半導体集積回路において、
前記第1及び第2のポート部は、相互に、供給を受ける電源電圧が異なる
ことを特徴とする半導体集積回路。
- [5] 前記請求項4記載の半導体集積回路において、
電源電圧の低い側のポート部のアクセス頻度は、電源電圧の高い側のポート部の
アクセス頻度よりも、低い
ことを特徴とする半導体集積回路。
- [6] 前記請求項1記載の半導体集積回路において、

前記第1及び第2の情報保持回路は、各々、トランジスタ回路で構成され、
前記第1及び第2の情報保持回路のトランジスタ回路は、相互に、閾値電圧の異なるトランジスタで構成される

ことを特徴とする半導体集積回路。

- [7] 前記請求項6記載の半導体集積回路において、
前記閾値電圧の高いトランジスタで構成された側の情報保持回路のアクセス頻度は、閾値電圧の低いトランジスタで構成された側の情報保持回路のアクセス頻度よりも、低い

ことを特徴とする半導体集積回路。

- [8] 前記請求項1記載の半導体集積回路において、
前記第1及び第2の情報保持回路は、相互に、供給を受ける電源電圧が異なることを特徴とする半導体集積回路。

- [9] 前記請求項8記載の半導体集積回路において、
電源電圧の低い側の情報保持回路のアクセス頻度は、電源電圧の高い側の情報保持回路のアクセス頻度よりも、低い

ことを特徴とする半導体集積回路。

- [10] 前記請求項1記載の半導体集積回路において、
前記入れ替え回路は、情報を一時的に保持する一時的保持回路を有し、
前記第1及び第2の情報保持手段に保持された情報は、前記入れ替え制御信号に基づいて、前記一時的保持回路を介して相互に入れ替わる

ことを特徴とする半導体集積回路。

- [11] 前記請求項1記載の半導体集積回路において、
前記第1及び第2の情報保持回路に保持された情報が相互に入れ替わった入れ替え終了を検出し、この終了の検出時に前記入れ替え制御信号の出力が停止される

ことを特徴とする半導体集積回路。

- [12] 前記請求項1記載の半導体集積回路において、
前記第1及び第2の情報保持回路に保持させるべき情報が、これらの第1及び第2

の情報保持回路に保持されたことを検出し、この検出後に、前記第1及び第2の情報保持回路に保持された情報の相互入れ替えが行われる

ことを特徴とする半導体集積回路。

- [13] 前記請求項1記載の半導体集積回路において、
前記第1及び第2のポート部は、各々、トランジスタ回路で構成され、
前記第1及び第2のポート部のトランジスタ回路は、各々、自己のポート部のアクセス速度に応じたトランジスタ幅のトランジスタで構成され、
アクセス速度の遅いポート部のトランジスタ回路のトランジスタ幅は、アクセス速度の速いポート部のトランジスタ回路のトランジスタ幅よりも、狭い
ことを特徴とする半導体集積回路。

- [14] 前記請求項1記載の半導体集積回路において、
前記第1及び第2の情報保持回路は、各々、トランジスタ回路で構成され、
前記第1及び第2の情報保持回路のトランジスタ回路は、各々、自己の情報保持回路に接続されたポート部のアクセス速度に応じたトランジスタ幅のトランジスタで構成され、
アクセス速度の遅い側の情報保持回路のトランジスタ回路のトランジスタ幅は、アクセス速度の速い側の情報保持回路のトランジスタ回路のトランジスタ幅よりも、狭い
ことを特徴とする半導体集積回路。

- [15] 前記請求項10記載の半導体集積回路において、
前記一時的保持回路は、ラッチ回路で構成される
ことを特徴とする半導体集積回路。

- [16] 前記請求項15記載の半導体集積回路において、
前記ラッチ回路は、差動回路である
ことを特徴とする半導体集積回路。

- [17] 前記請求項8記載の半導体集積回路において、
前記入れ替え回路は、
電源電圧の低い側の情報保持回路に保持された情報を一時的に保持し、この保持した情報を電源電圧の高い側の情報保持回路に出力するラッチ回路を備えた

ことを特徴とする半導体集積回路。

- [18] 前記請求項1記載の半導体集積回路において、
前記第1及び第2のポート部並びに前記第1及び第2の情報保持回路は、各々、トランジスタ回路で構成され、
前記第1のポート部及び前記第1の情報保持回路からなる組と、前記第2のポート部及び前記第2の情報保持回路からなる組とは、各々、基板電圧制御回路を有し、
前記基板電圧制御回路は、各々、
自己の組のポート部及び情報保持回路の各トランジスタ回路を構成するトランジスタの閾値電圧を、自己の組のポート部のアクセス頻度に応じた閾値電圧に制御することを特徴とする半導体集積回路。
- [19] 前記請求項1記載の半導体集積回路において、
前記第1のポート部及び前記第1の情報保持回路からなる組と、前記第2のポート部及び前記第2の情報保持回路からなる組とは、各々、電源電圧制御回路を有し、
前記電源電圧制御回路は、各々、
自己のポート部における情報の読み出し時間及び書き込み時間に応じて、自己のポート部及び情報保持回路に供給する電源電圧を制御することを特徴とする半導体集積回路。
- [20] 前記請求項1記載の半導体集積回路において、
前記第1及び第2のポート部並びに前記第1及び第2の情報保持回路は、各々、トランジスタ回路で構成され、
前記第1のポート部及び前記第1の情報保持回路からなる組と、前記第2のポート部及び前記第2の情報保持回路からなる組とは、各々、基板電圧制御回路及び電源電圧制御回路を有し、
前記基板電圧制御回路は、各々、
自己の組のポート部及び情報保持回路の各トランジスタ回路を構成するトランジスタの閾値電圧を、所定の閾値電圧に制御し、
前記電源電圧制御回路は、各々、
自己のポート部における情報の読み出し時間及び書き込み時間が各々設定時間

になるように、自己のポート部及び情報保持回路に供給する電源電圧を制御することを特徴とする半導体集積回路。

- [21] 前記請求項1記載の半導体集積回路において、
前記第1及び第2のポート部並びに前記第1及び第2の情報保持回路は、複数のトランジスタを並列配置したトランジスタ並列部に形成され、
動作速度の遅い側のポート部及び情報保持回路は、前記トランジスタ並列部の端部に位置し、
動作速度の速い側のポート部及び情報保持回路は、前記トランジスタ並列部の内側に位置する
ことを特徴とする半導体集積回路。
- [22] 前記請求項11記載の半導体集積回路において、
前記第1及び第2の情報保持回路が形成されたセルアレイの中に形成された第1及び第2のダミー情報保持回路を備え、
前記入れ替え制御信号は、
前記第1及び第2のダミー情報保持回路に保持された情報が実際に相互に入れ替わった切り替え時間が反映され、この切り替え時間の経過後に出力が停止される
ことを特徴とする半導体集積回路。
- [23] 前記請求項1記載の半導体集積回路において、
前記第1のポート部は、その形成された基板が前記第2のポート部とは基板分離されている
ことを特徴とする半導体集積回路。
- [24] 前記請求項1記載の半導体集積回路において、
前記第1の情報保持回路は、その形成された基板が前記第2の情報保持回路とは基板分離されている
ことを特徴とする半導体集積回路。
- [25] 前記請求項10記載の半導体集積回路において、
前記一時的保持回路は、
トランジスタ回路により構成され、且つ、構成されるトランジスタは、前記切り替え制

御信号のアクセス頻度に応じた閾値設定がされている

ことを特徴とする半導体集積回路。

- [26] 前記請求項10記載の半導体集積回路において、
前記一時的保持回路は、
供給される電源電圧が、前記切り替え制御信号のアクセス頻度に応じた電圧に設定されている

ことを特徴とする半導体集積回路。

- [27] 前記請求項4記載の半導体集積回路において、
前記第1及び第2のポート部のアクセス速度は所定速度であって、
電源電圧の低い側のポート部のアクセス頻度は、電源電圧の高い側のポート部のアクセス頻度よりも、高い

ことを特徴とする半導体集積回路。

- [28] 前記請求項8記載の半導体集積回路において、
電源電圧の低い側の情報保持回路のアクセス頻度は、電源電圧の高い側の情報保持回路のアクセス頻度よりも、高い

ことを特徴とする半導体集積回路。

- [29] 前記請求項8記載の半導体集積回路において、
前記入れ替え回路の電源電圧は、電源電圧の低い側の情報入力用のポート部の電源電圧より高く、

前記入れ替え回路は、電源電圧の高い側の情報入力用のポート部に接続された情報保持回路に保持された情報を一時的に保持し、この保持した情報を電源電圧の低い側の情報入力用のポート部に接続された情報保持回路に出力するラッチ回路を備えた

ことを特徴とする半導体集積回路。

- [30] 前記請求項10記載の半導体集積回路において、
前記一時的保持回路は、
第1の反転回路及び第2の反転回路から構成され、
前記第1の反転回路の出力は前記第2の反転回路の入力に接続され、

前記第2の反転回路は、直列に接続された第1及び第2のNMOSTランジスタを有し、

前記第1の反転回路の入力は、情報入力用の第1又は第2のポート部の出力と、前記第2の反転回路の第1のNMOSTランジスタのドレインとに接続され、

前記第2の反転回路の前記第1のNMOSTランジスタは、そのゲートが前記第1の反転回路の出力に接続され、そのソースが前記第2のNMOSTランジスタのドレインに接続され、

前記第2の反転回路の前記第2のNMOSTランジスタのゲートには、前記情報入力用の第1又は第2のポート部の出力が入力される

ことを特徴とする半導体集積回路。

[31] 前記請求項30記載の半導体集積回路において、

情報入力用の第1又は第2のポート部の数は1つであって、

前記第2の反転回路の前記第2のNMOSTランジスタのソースは、前記情報入力用の第1又は第2のポート部の信号の反転信号が入力される

ことを特徴とする半導体集積回路。

[32] 前記請求項30記載の半導体集積回路において、

情報入力用の第1又は第2のポート部の数は複数であって、

前記第2の反転回路の前記第2のNMOSTランジスタの個数は、前記第1又は第2のポート部の数に等しい個数であり、

前記複数の第2のNMOSTランジスタは、直列接続され、そのうち前記第2の反転回路の第1のNMOSTランジスタから最も離れた位置にある第2のNMOSTランジスタのソースは、接地され、

前記複数の第2のNMOSTランジスタの各ゲートには、対応する前記第1又は第2のポート部の信号が入力される

ことを特徴とする半導体集積回路。

[33] 前記請求項32記載の半導体集積回路において、

複数の情報入力用の第1又は第2のポート部のうち、活性化率の高いポート部の信号は、前記第2の反転回路の第1のNMOSTランジスタから最も離れた位置にある第

2のNMOSTランジスタのゲートに入力される

ことを特徴とする半導体集積回路。

[34] 前記請求項1記載の半導体集積回路において、

前記第1の情報保持回路に対するデータの読み出し及びその後のデータの書き込み並びに第1及び第2の情報保持回路間のデータ入れ替えを行う第1のダミー回路と、

前記第2の情報保持回路に対するデータの読み出し及びその後のデータの書き込み並びに第1及び第2の情報保持回路間のデータ入れ替えを行う第2のダミー回路とを備え、

前記第1のダミー回路を構成する複数のMOSTランジスタは、全て、拡散層濃度、基板電圧又はゲート酸化膜圧のMOS特性が同じであり、

前記第2のダミー回路を構成する複数のMOSTランジスタは、その一部が、前記MOS特性と同一のMOS特性を有し、その残りが前記第1のダミー回路を構成するMOSTランジスタのMOS特性とは異なるMOS特性を有し、

前記第1及び第2のダミー回路に各々供給する電源電圧を調整する電源電圧調整回路を有し、前記電源電圧調整回路は、

前記第1のダミー回路の出力信号の遅延値が予め設定した第1の参照遅延値になるように、前記第1のダミー回路への電源電圧値を調整すると共に、この調整した電源電圧値を前記第2のダミー回路のうち前記第1のダミー回路のMOSTランジスタと同一のMOS特性のMOSTランジスタに供給し、

前記第2のダミー回路の出力信号の遅延値が予め設定した第2の参照遅延値になるように、前記第2のダミー回路のうち前記第1のダミー回路のMOSTランジスタと異なるMOS特性のMOSTランジスタへの電源電圧値を調整する

ことを特徴とする半導体集積回路。

[35] 前記請求項1記載の半導体集積回路において、

前記第1及び第2のポート部並びに前記第1及び第2の情報保持回路は、各々、トランジスタ回路で構成され、

前記第1のポート部及び前記第1の情報保持回路からなる組と、前記第2のポート

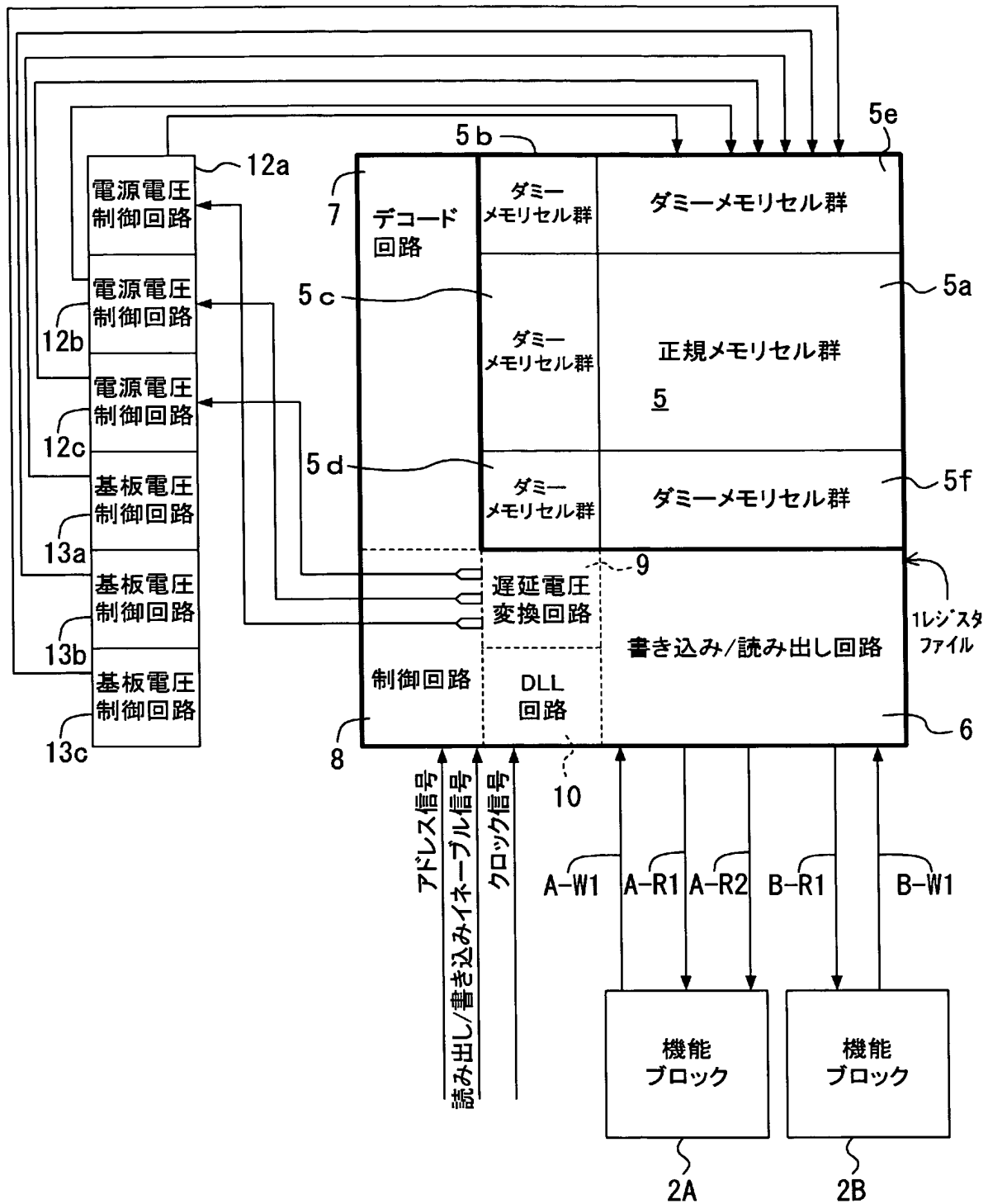
部及び前記第2の情報保持回路並びに前記入れ替え回路からなる組とは、各々、異なる値の電源電圧を供給する電源電圧供給回路を有し、

前記各組の電源電圧供給回路の電源電圧値は、各々、自己のポート部における情報の読み出し時間と書き込み時間と入れ替え時間との総和が所定の時間になるような電源電圧値に設定される

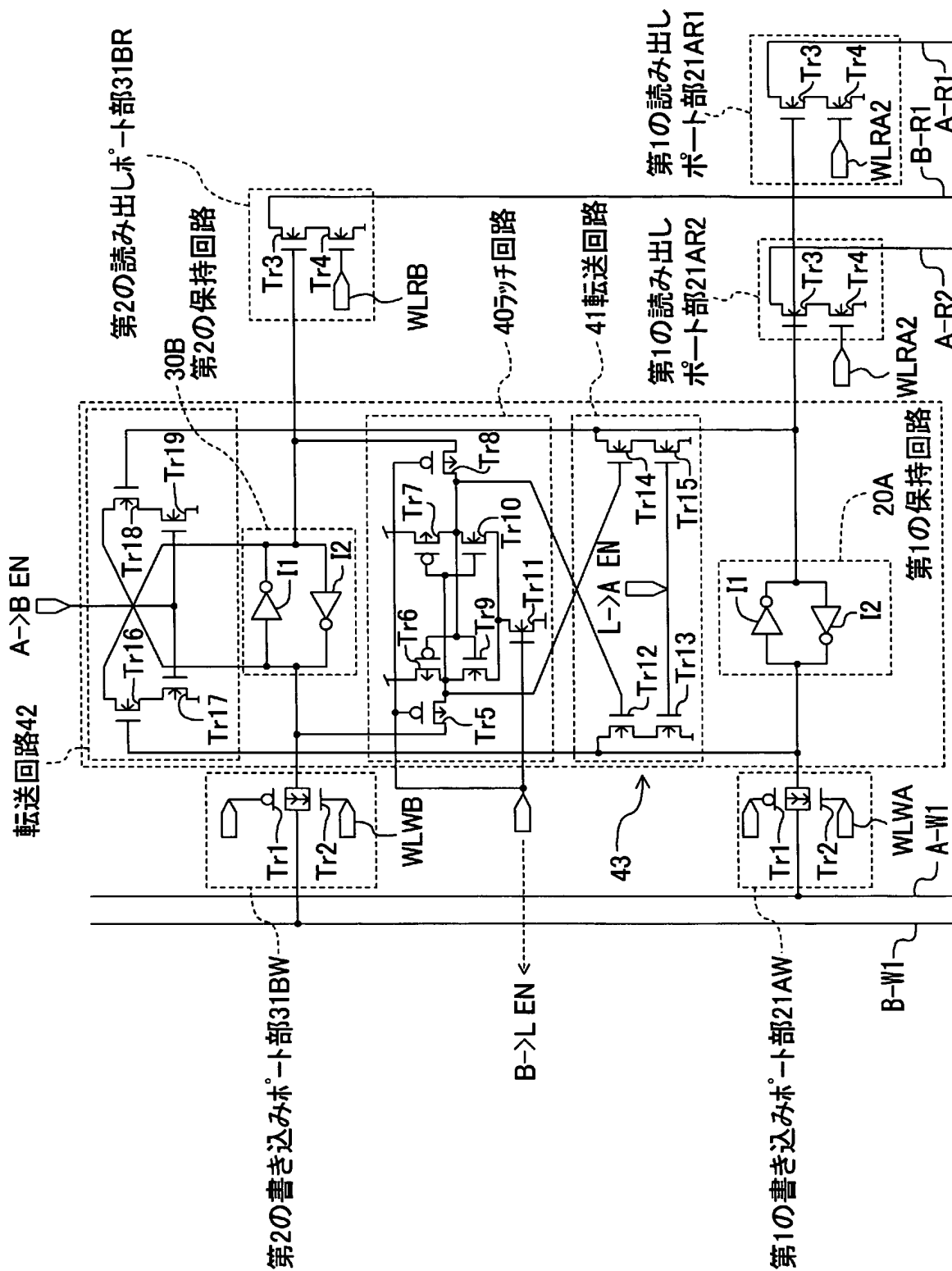
ことを特徴とする半導体集積回路。

- [36] 前記請求項1～35の何れか1項に記載の半導体集積回路において、
半導体集積回路は、マルチスレッド型のプロセッサである
ことを特徴とする半導体集積回路。

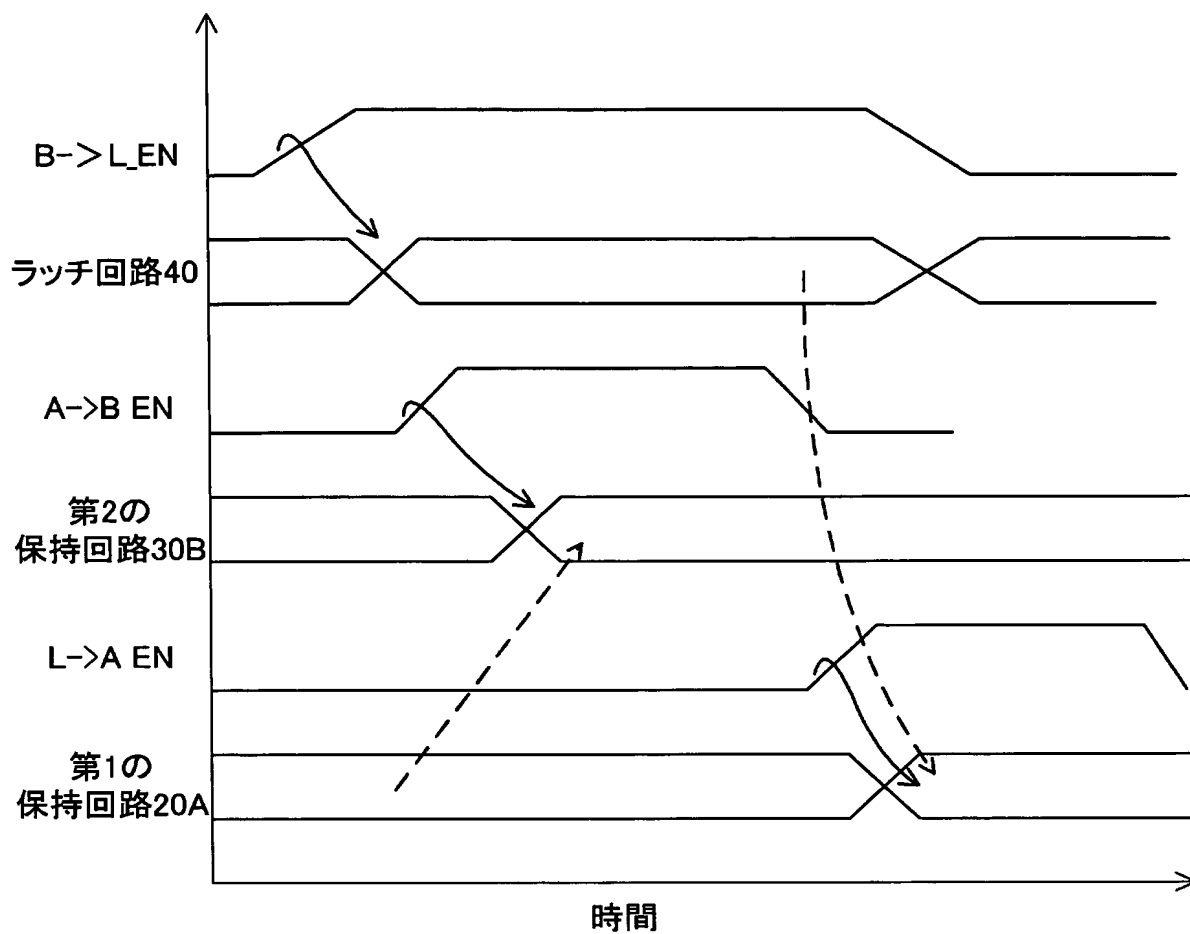
[図1]



[図2]



[図3]

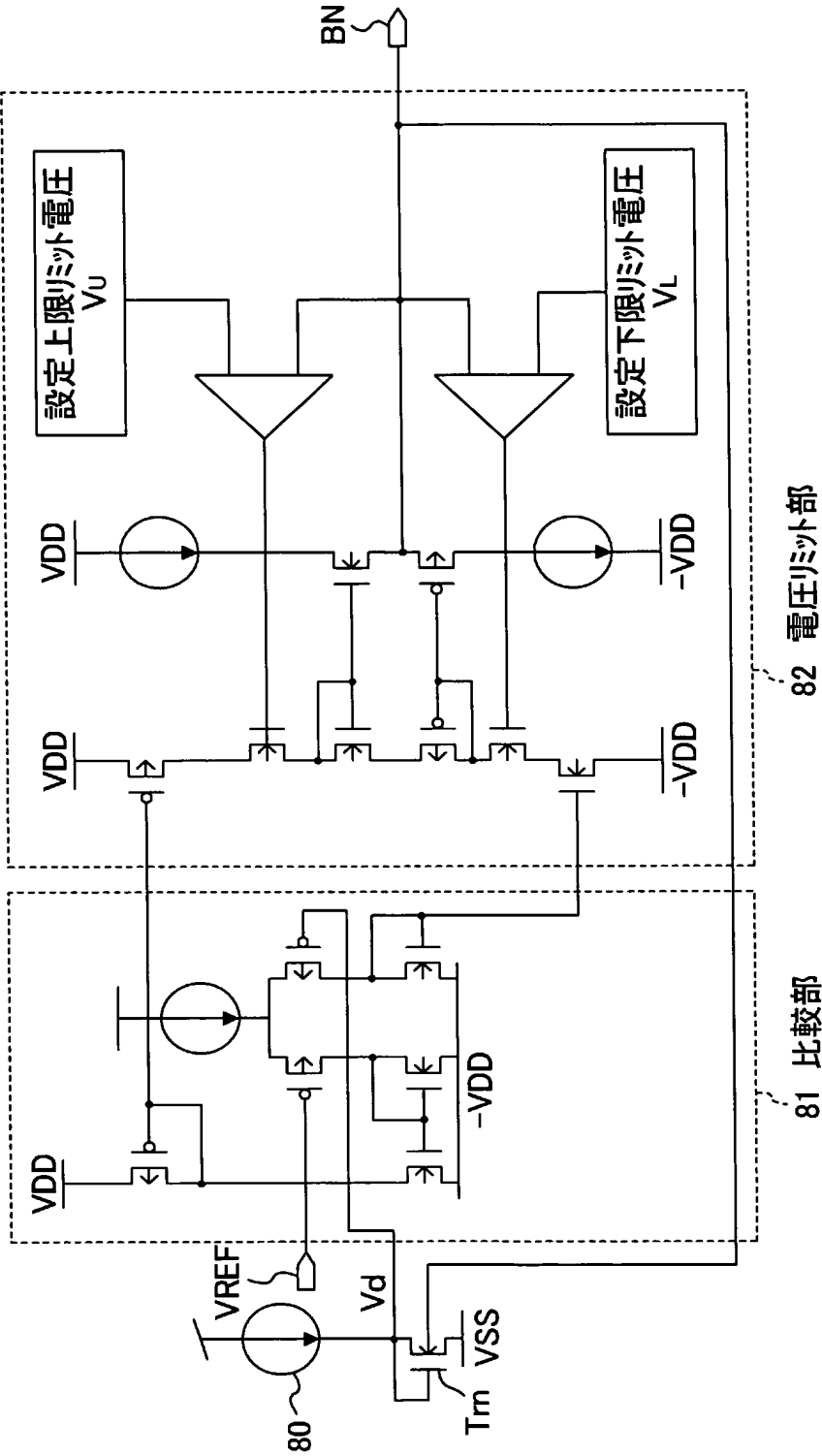


[図4]

	活性化率 (アクセス頻度)	閾値電圧	電源電圧
第1の書き込みポート部21AW	1/32	200mV	1.0V
第2の書き込みポート部31BW	1/1000	400mV	0.8V
第1の読み出しポート部21AR1	1/32	200mV	1.0V
第1の読み出しポート部21AR2	1/32	200mV	1.0V
第2の読み出しポート部31BR	1/1000	400mV	0.8V
第1の保持回路20A	1/32	200mV	1.0V
第1の保持回路20B	1/1000	400mV	0.8V
ラッチ回路40C	1/10000	500mV	0.75V

[図5]

13a 基板電圧制御回路



[図6]

10 DLL回路

ダミー書き込みポート部の遅延クロック
ダミー読み出しポート部の遅延クロック

ダミー切り替え遅延クロック

53a

53b

53c

電圧制御遅延回路50

50a

50b

50c

50d

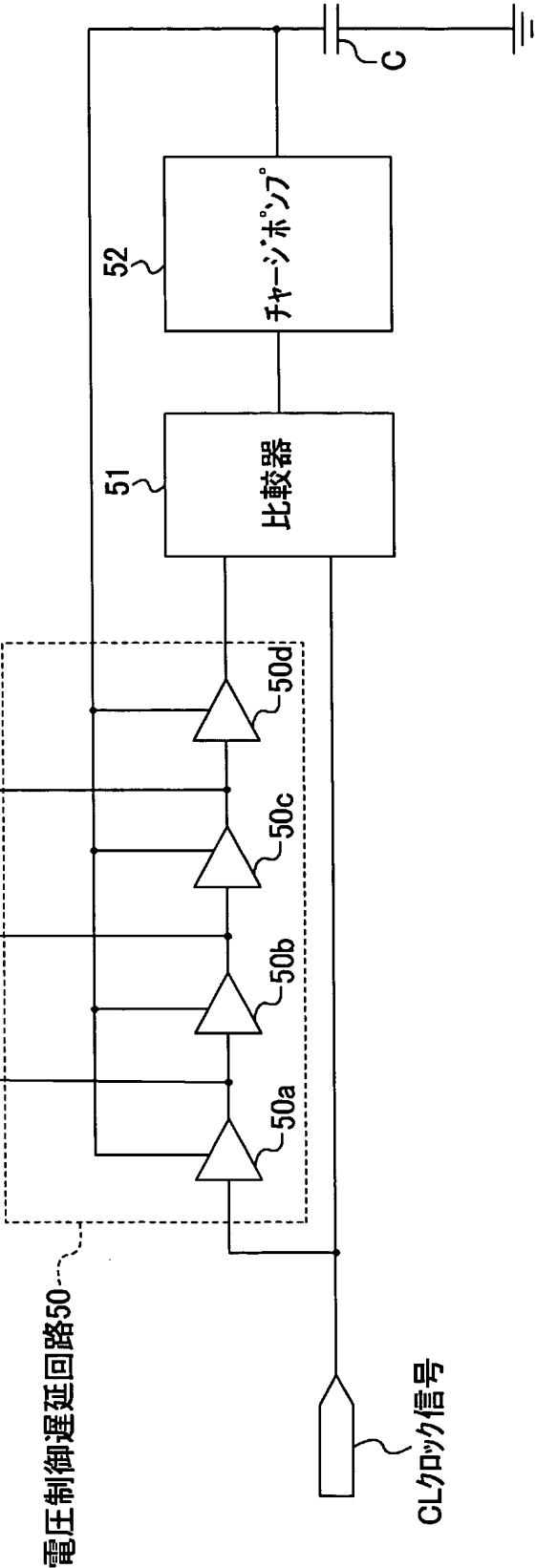
51

52

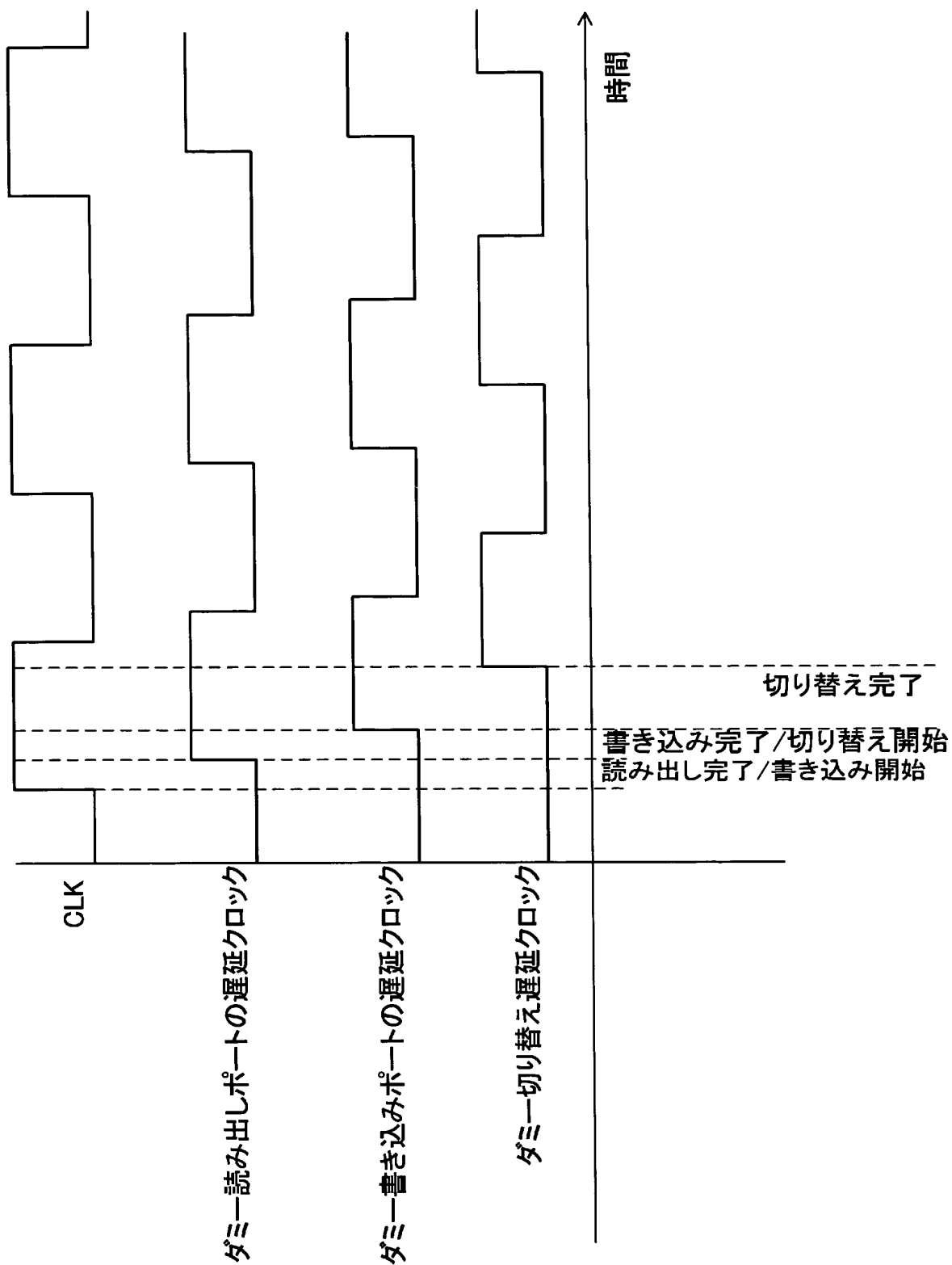
比較器

チャージポンプ

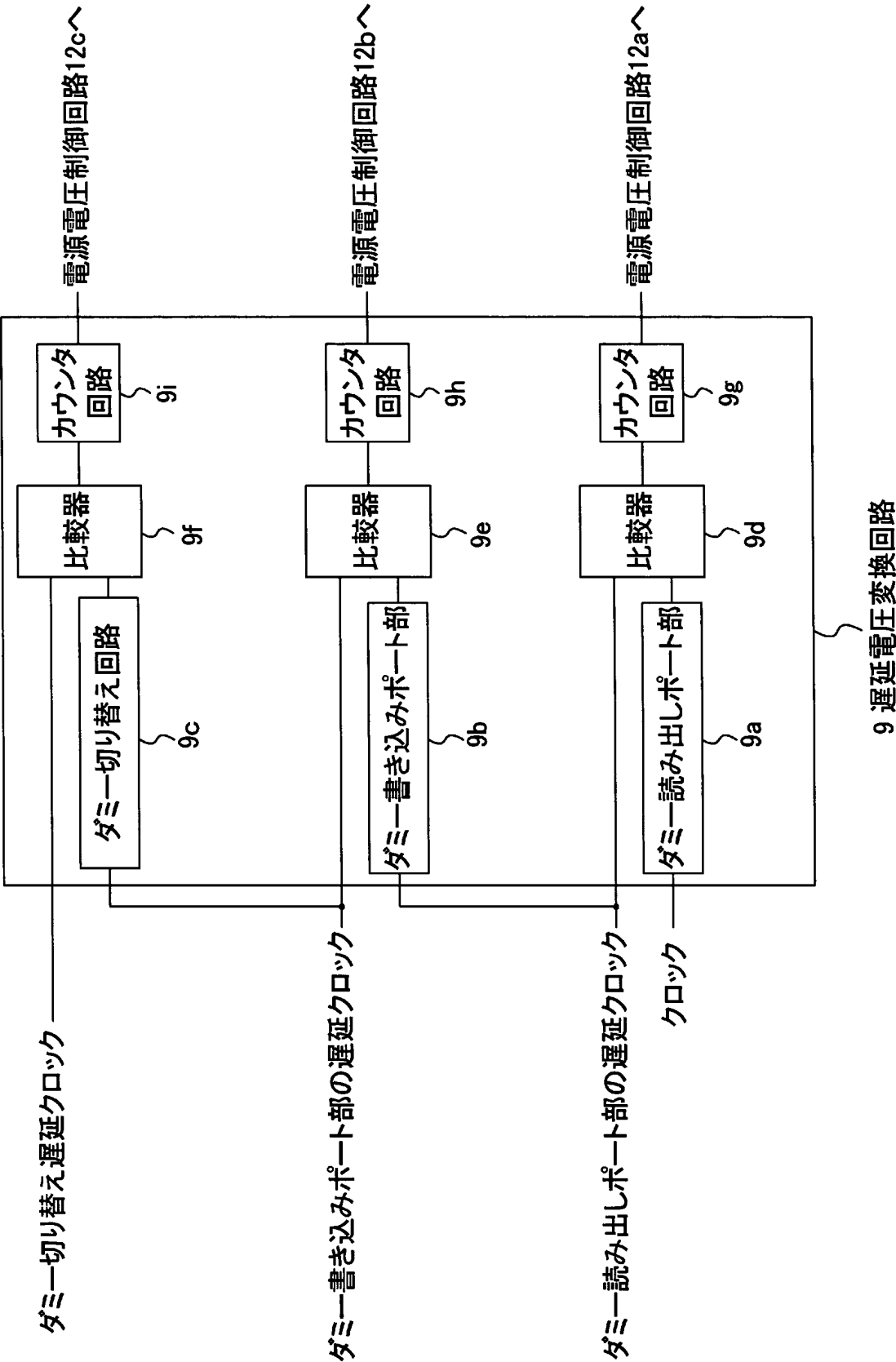
CLクロック信号



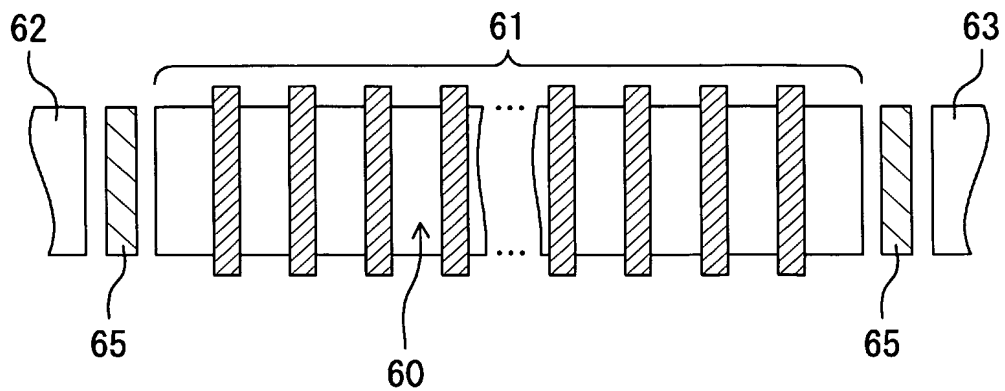
[図7]



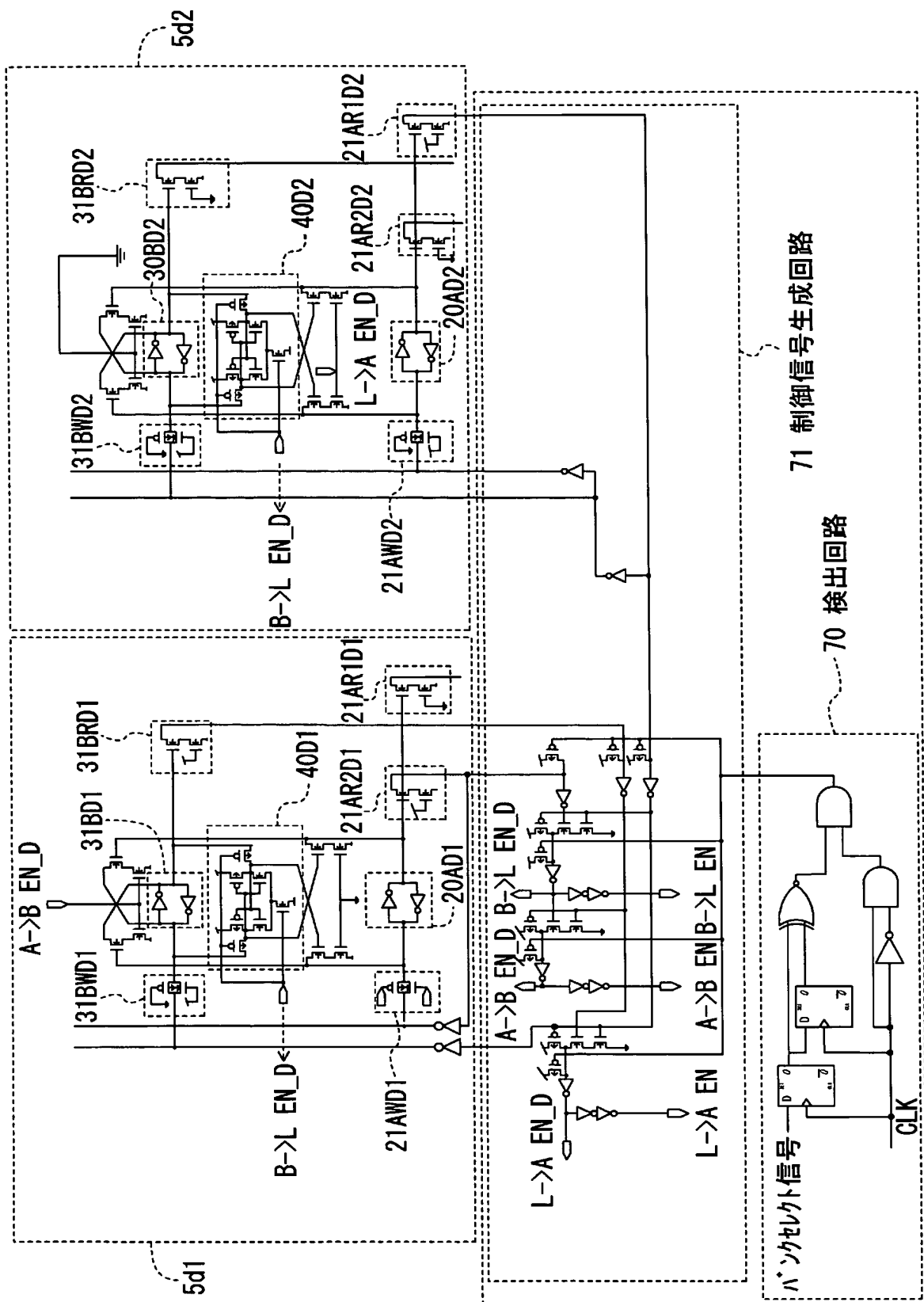
[図8]



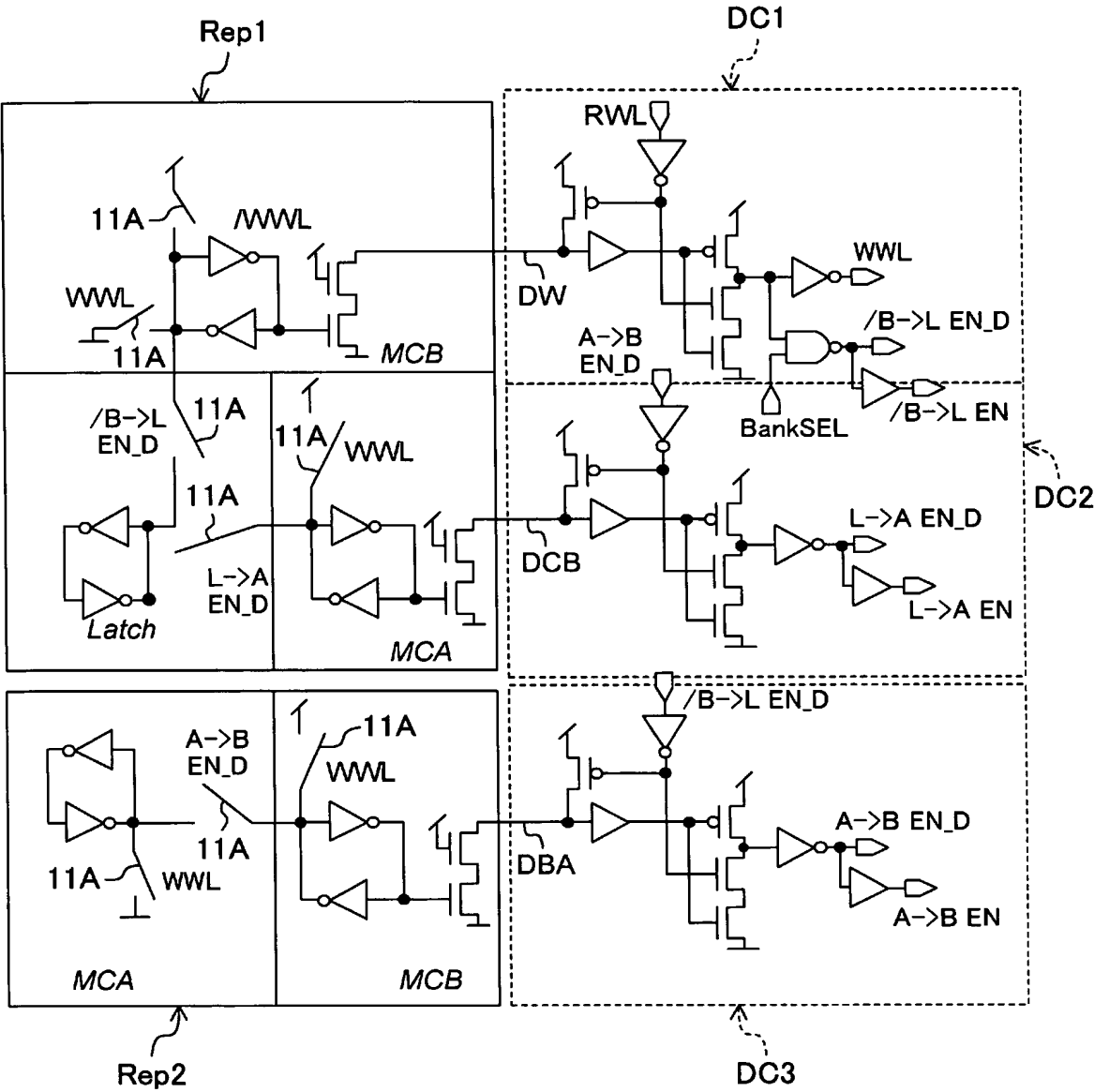
[図9]



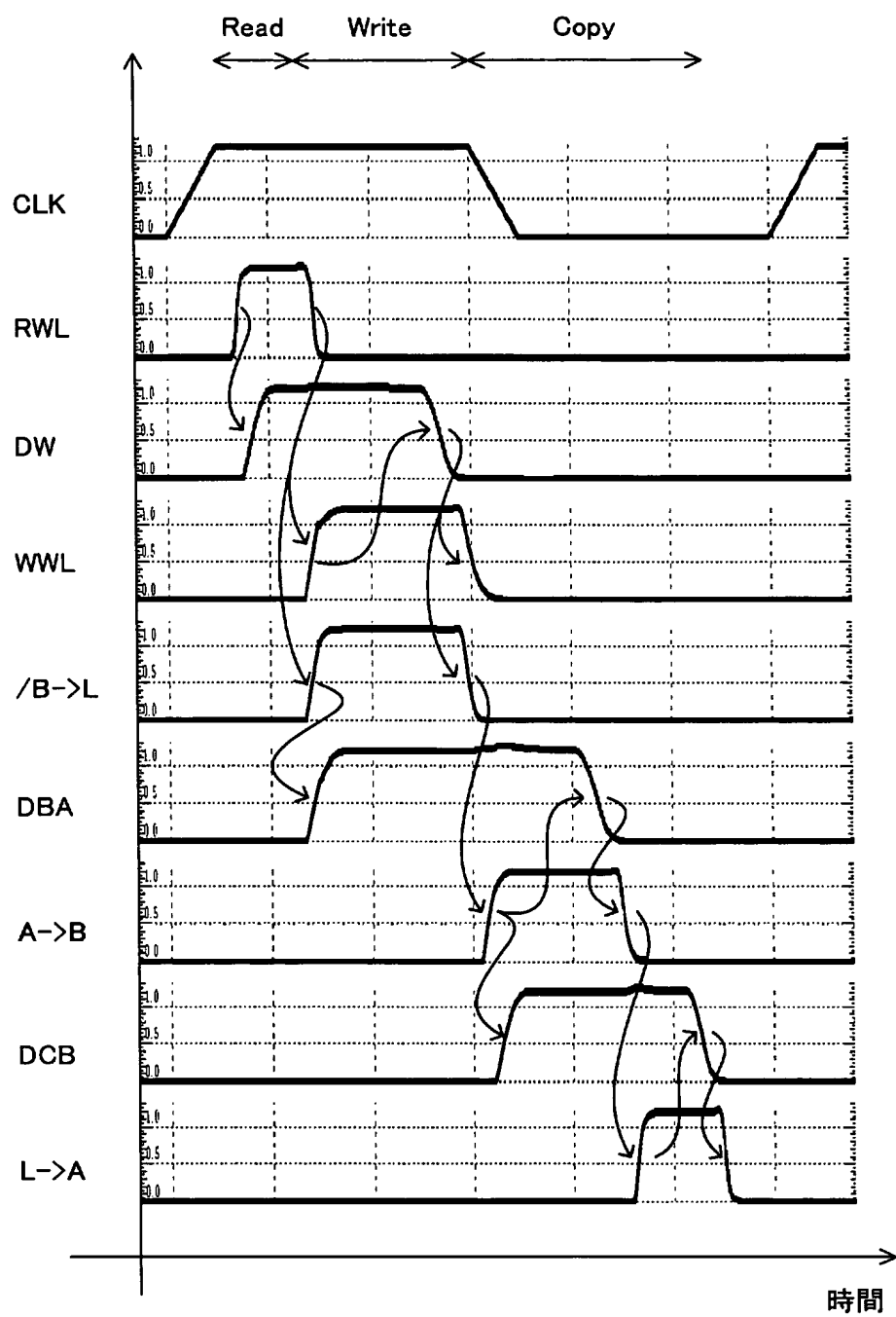
[図10]



[図11]



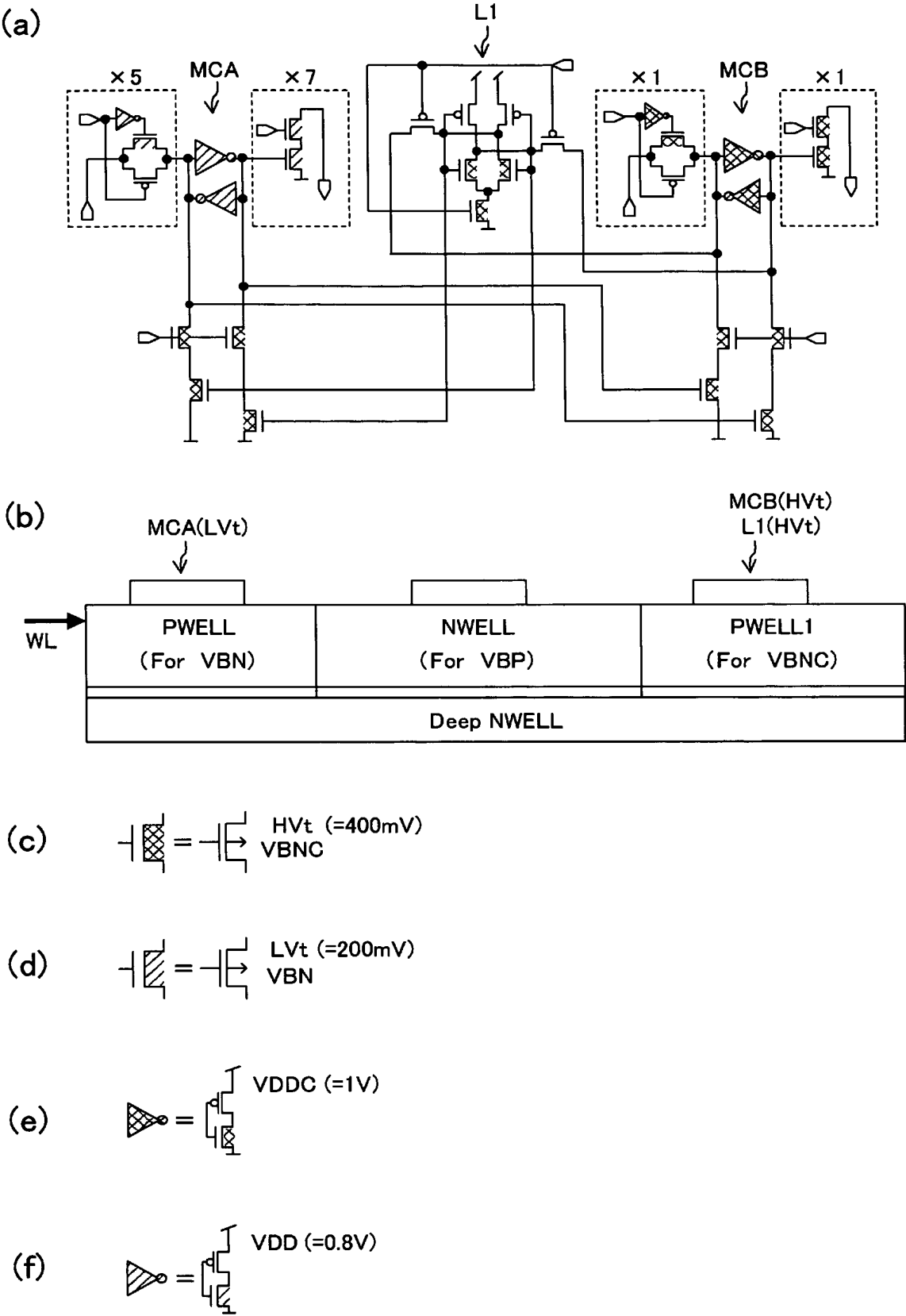
[図12]



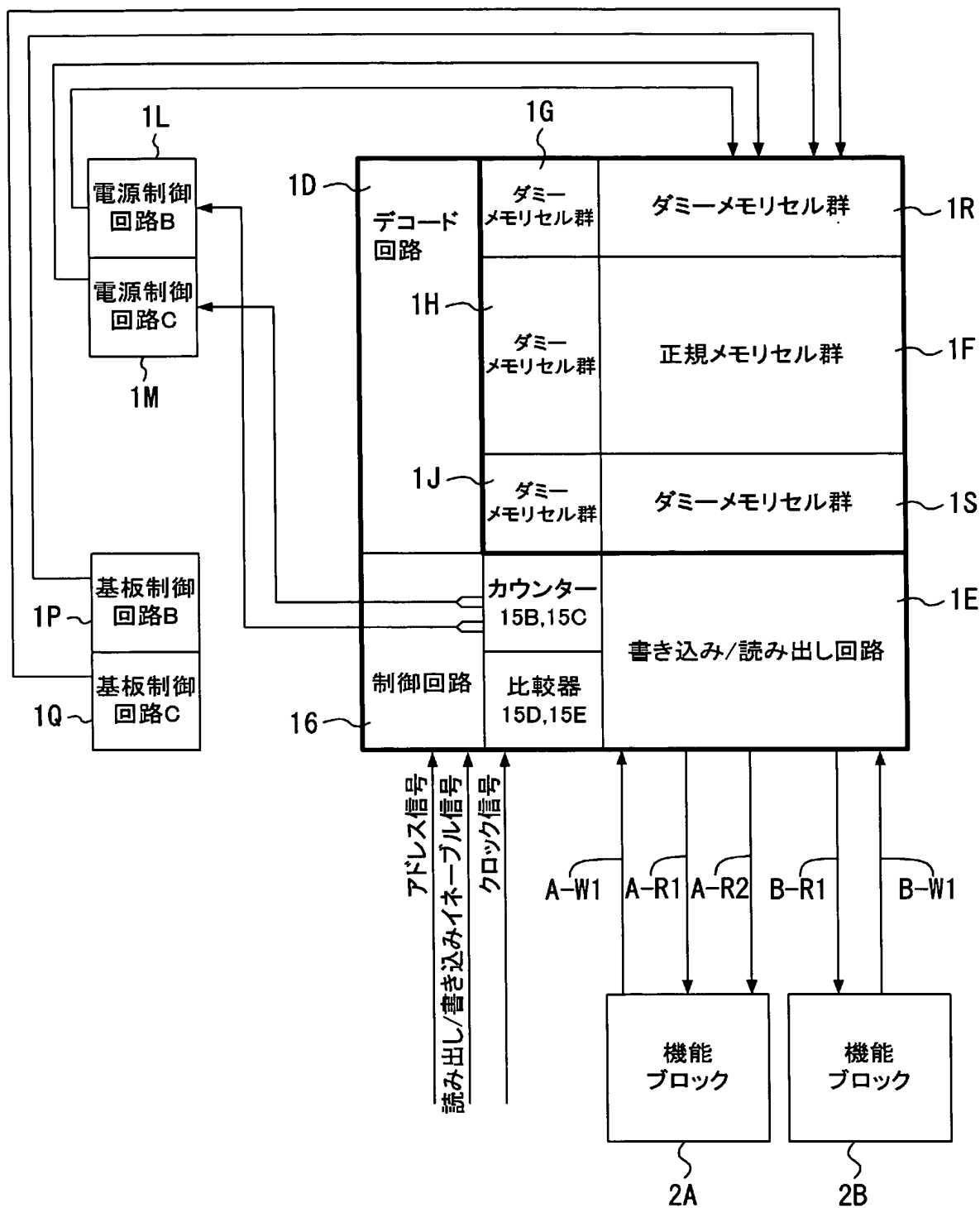
[図13]

	活性化率 (アクセス頻度)	閾値電圧	電源電圧
MCA書き込みポート	1/32	200mV	0.8V
MCB書き込みポート	1/1000	400mV	1V
MCA読み出しポート	1/32	200mV	0.8V
MCB読み出しポート	1/1000	400mV	1V
MCA保持回路	1/32	200mV	0.8V
MCB保持回路	1/1000	400mV	1V
ラッチ回路	1/10000	400mV	1V

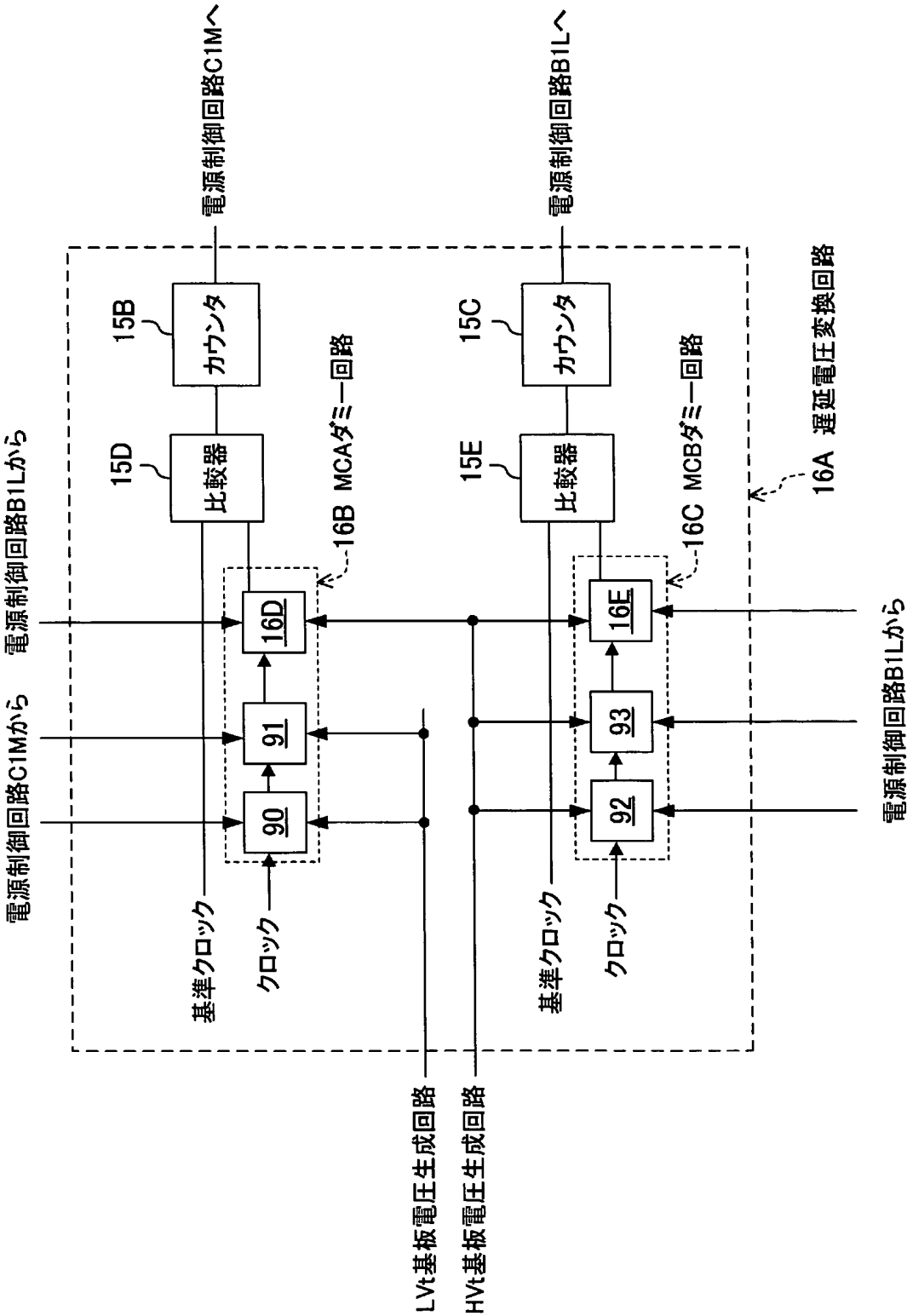
[図14]



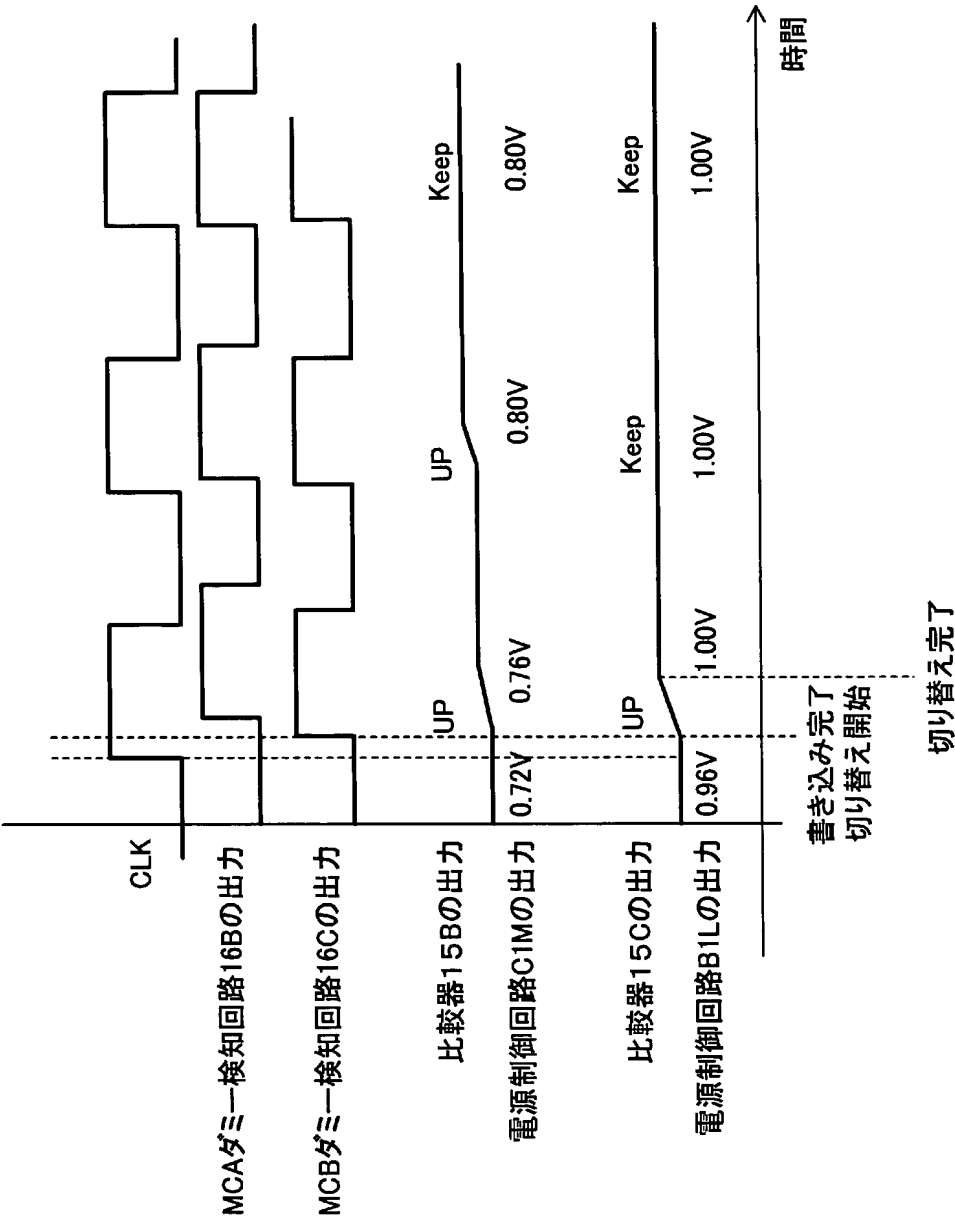
[図15]



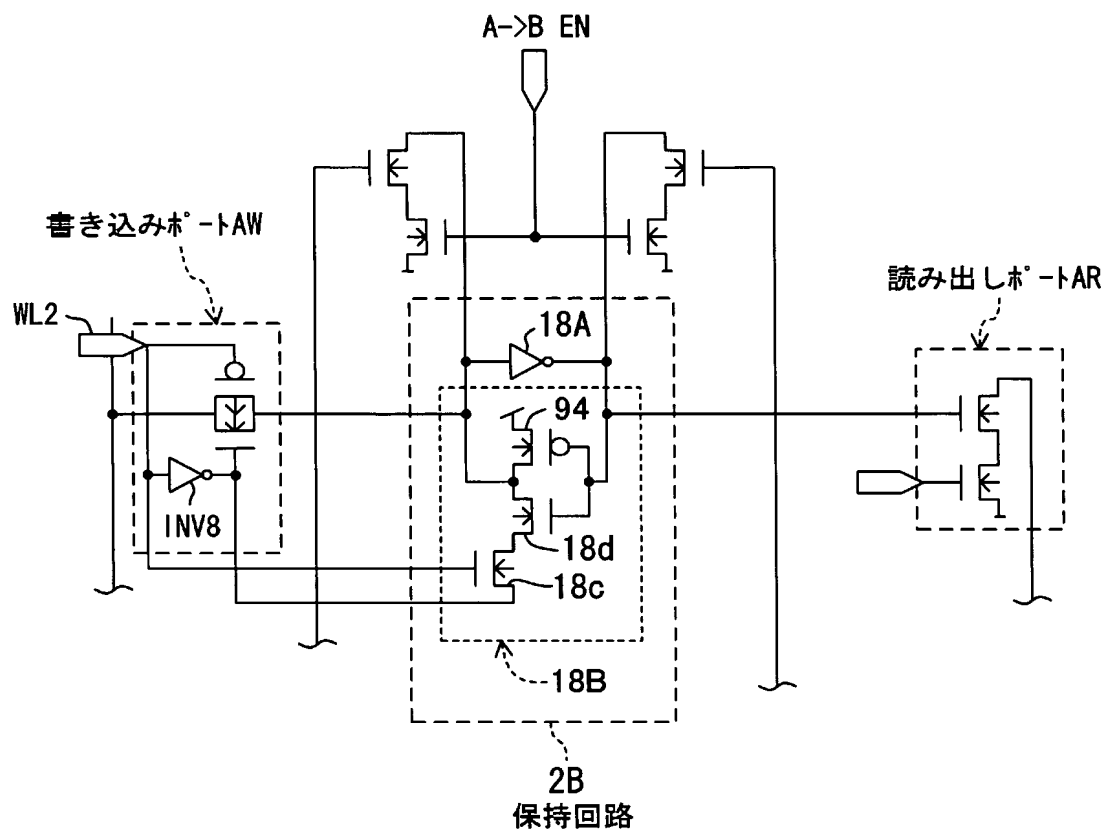
[図16]



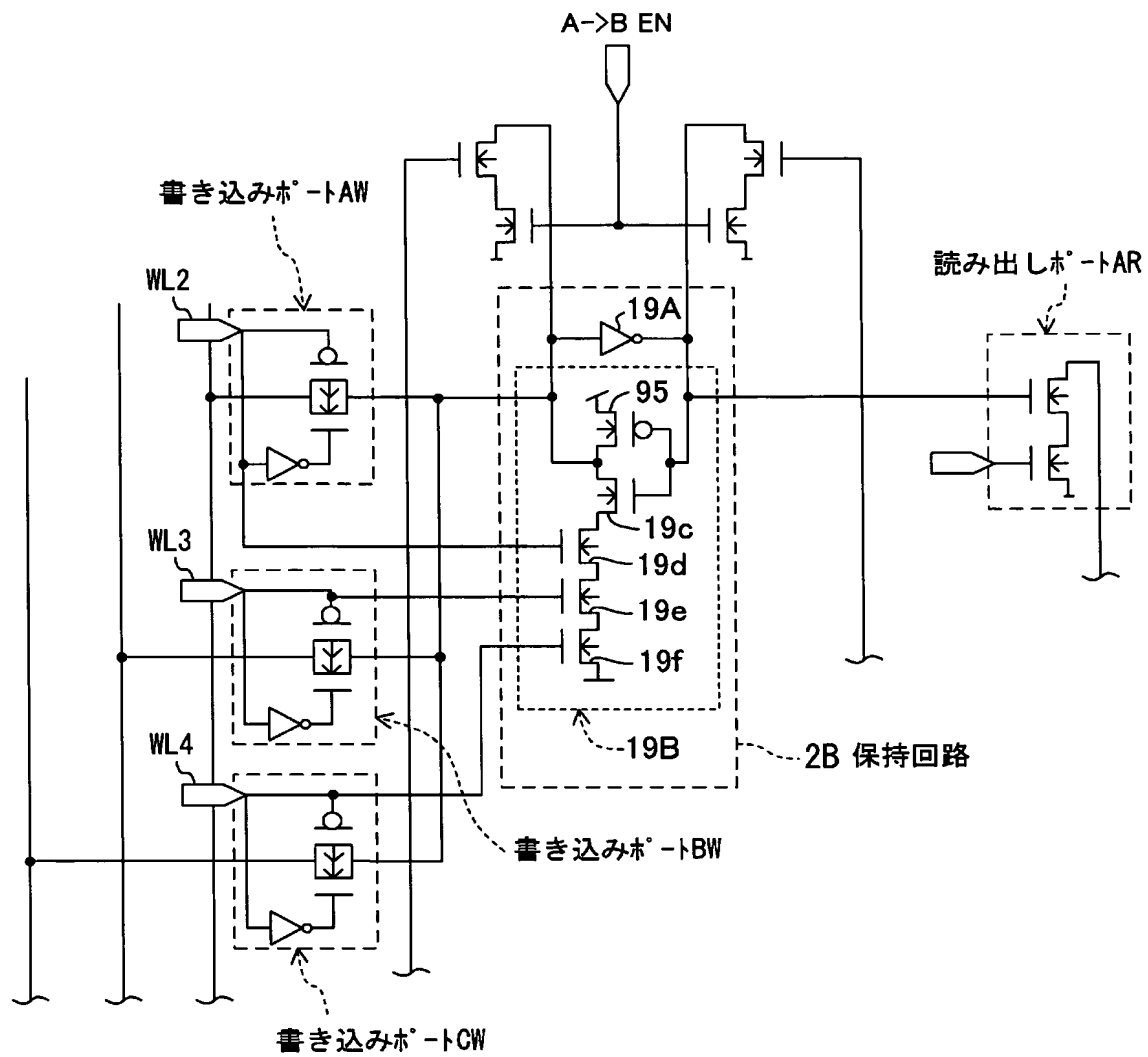
[図17]



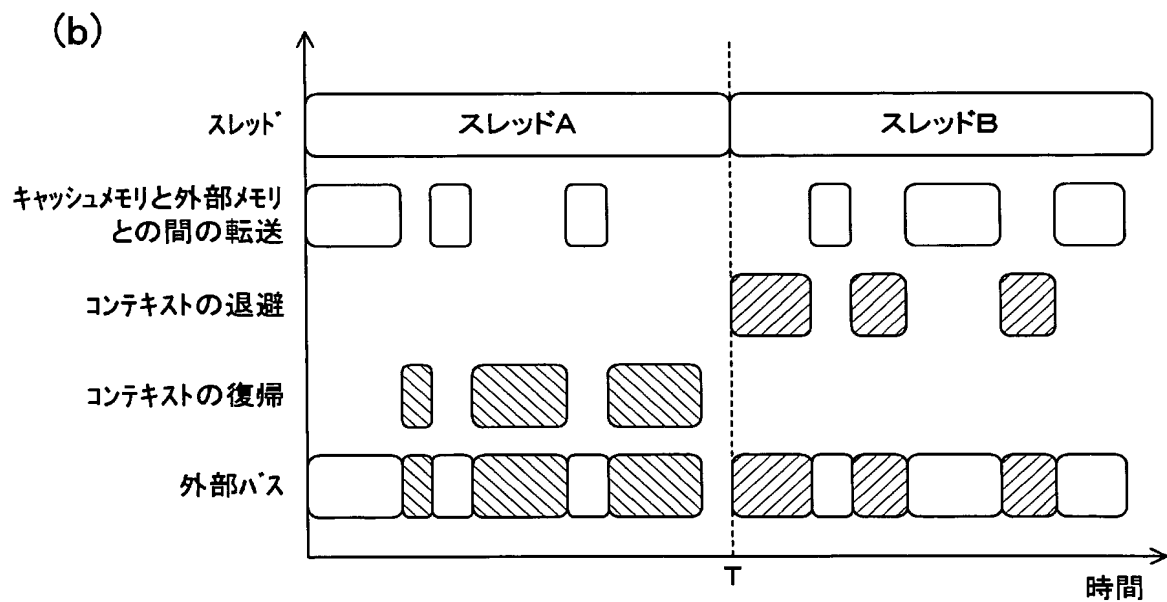
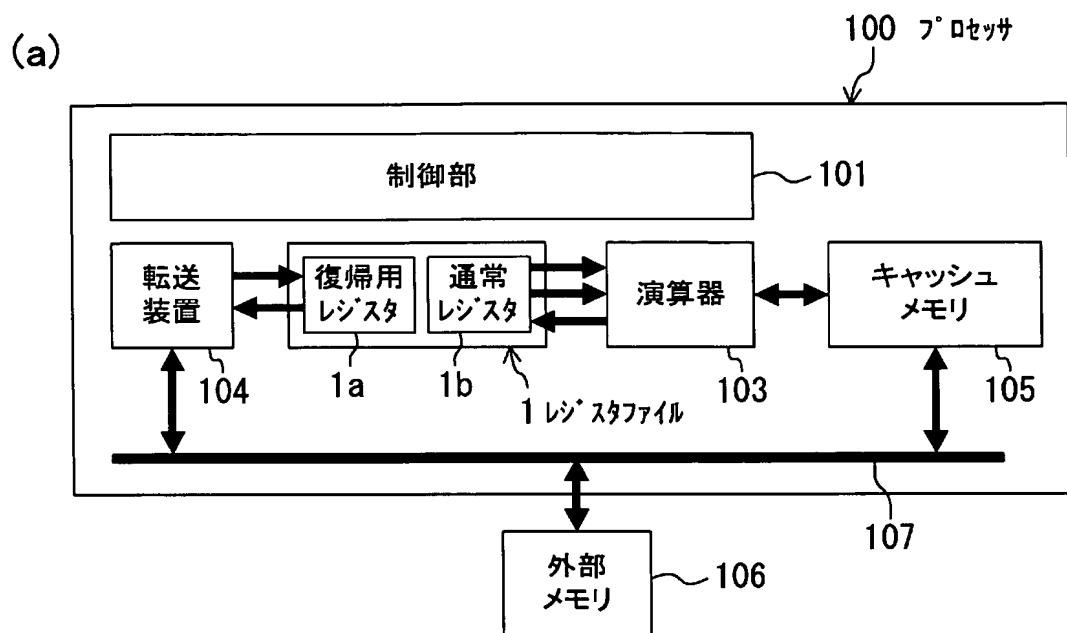
[図18]



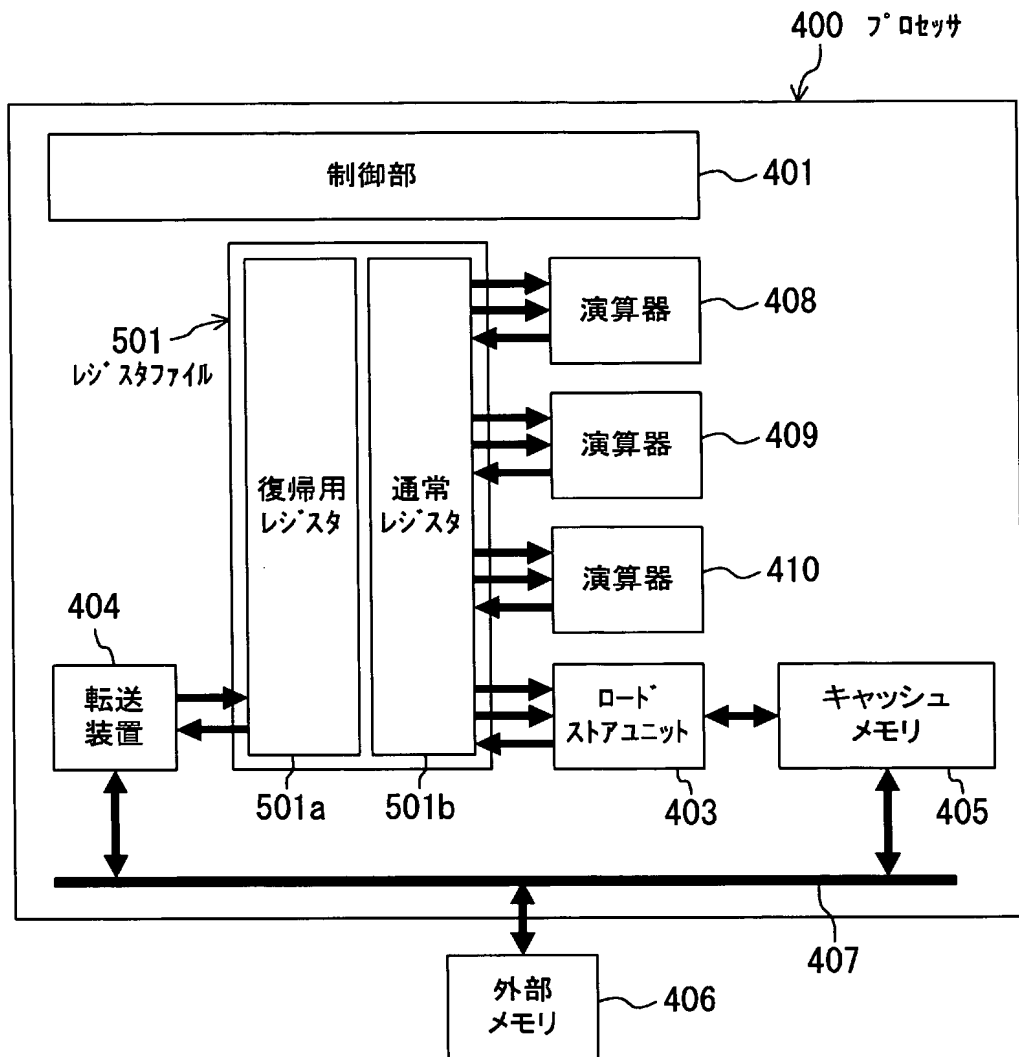
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/010473

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G11C11/41, G06F9/38, G11C11/412, H01L21/8244, 27/10, 27/11

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G11C11/41, G06F9/38, G11C11/412, H01L21/8244, 27/10, 27/11

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005

Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 5-334267 A (Fujitsu Ltd.), 17 December, 1993 (17.12.93), Full text; Fig. 1 (Family: none)	1-36
A	JP 6-60656 A (Sharp Corp.), 04 March, 1994 (04.03.94), Full text; Fig. 1 (Family: none)	1-36
A	JP 9-198870 A (Nippon Telegraph And Telephone Corp.), 31 July, 1997 (31.07.97), Full text; all drawings (Family: none)	1-36

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

31 August, 2005 (31.08.05)

Date of mailing of the international search report

13 September, 2005 (13.09.05)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ G11C11/41, G06F9/38, G11C11/412, H01L21/8244, 27/10, 27/11

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ G11C11/41, G06F9/38, G11C11/412, H01L21/8244, 27/10, 27/11

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 5-334267 A (富士通株式会社) 1993. 12. 17, 全文, 第1図 (ファミリー無し)	1-36
A	JP 6-60656 A (シャープ株式会社) 1994. 03. 04, 全文, 第1図 (ファミリー無し)	1-36
A	JP 9-198870 A (日本電信電話株式会社) 1997. 07. 31, 全文, 全図 (ファミリー無し)	1-36

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

31. 08. 2005

国際調査報告の発送日

13. 9. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

加藤 俊哉

電話番号 03-3581-1101 内線 3586

5N

9554